

**Аналого-цифровые  
базовые матричные кристаллы  
5400ТР045 и 5400ТР045А**

Зеленоград, 2017 г.

**Содержание**

Введение .....	3
План кристалла .....	4
Библиотечные элементы.....	6
12-ти разрядный ЦАП .....	6
12-ти разрядный АЦП .....	9
Полностью дифференциальный ОУ .....	12
ОУ общего применения .....	14
Прецизионный ОУ .....	16
Компаратор общего применения .....	18
Строблируемый компаратор .....	19
Аналоговый мультиплексор mux8_1 .....	20
Встроенный источник опорного напряжения.....	21
Цифровой блок.....	22
Тестовая зашивка 5400TP045-000.....	28
12-ти разрядный ЦАП в тестовой зашивке 5400TP045-000 .....	33
12-ти разрядный АЦП в тестовой зашивке 5400TP045-000 .....	36

## **Введение**

Аналого-цифровые базовые матричные кристаллы (АЦ БМК) 5400ТР045 и 5400ТР045А являются основой для проектирования и изготовления полузаказных аналоговых и аналого-цифровых СБИС, в том числе для космического и специального приборостроения.

Встроенные IP-блоки и наборы согласованных элементов (транзисторы, резисторы и конденсаторы) позволяют решить широкий спектр задач, связанный с усилением, нормированием, аналого-цифровым и цифро-аналоговым преобразованием сигналов. Развитая цифровая библиотека позволяет реализовать разнообразные алгоритмы контроля, цифровой настройки параметров микросхемы и протоколы обмена данными.

Применение АЦ БМК 5400ТР045 и 5400ТР045А позволяет резко улучшить массогабаритные показатели бортовой аппаратуры за счет повышения степени интеграции элементной базы.

АЦ БМК 5400ТР045 и 5400ТР045А имеют в своей основе идентичные кристаллы и отличаются только типом корпуса. 5400ТР045 имеет 48-ми выводной корпус 5142.48-А, а 5400ТР045А имеет 28-ми выводной корпус МК 5123.28-1.01. Возможна поставка микросхем в бескорпусном исполнении.

АЦ БМК 5400ТР045 и 5400ТР045А производятся по современной КМОП КНИ технологии с нормами 0,18 мкм. Номинальное напряжение питания 5 В.

## План кристалла

На рисунке 1 приведен план кристалла АЦ БМК, который показывает взаимное расположение блоков, доступное окружение необходимо учитывать при разработке электрической схемы с целью оптимизации трассировки аналоговой части и минимизации паразитных связей.

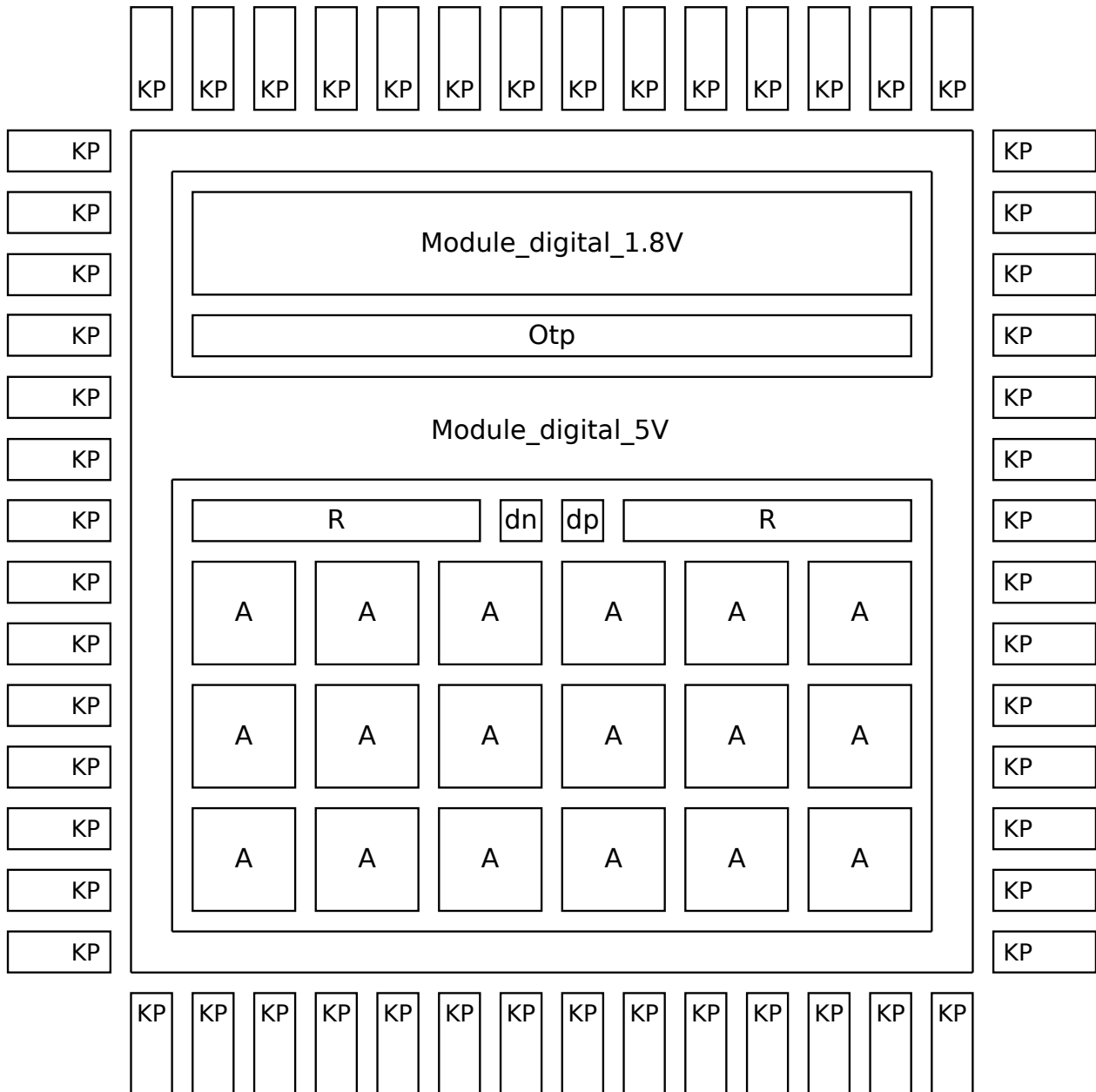


Рисунок 1. План кристалла АЦ БМК

В таблице 1 приведена расшифровка обозначений блоков, приведенных на рисунке 1.

Таблица 1. Ячейки на плане кристалла

Ячейка	Описание
KP	Реконфигурируемая контактная площадка
Module_digital_1.8V	62900 цифровых двухтранзисторных ячеек с номинальным напряжением питания 1,8 В
Module_digital_5V	106360 цифровых двухтранзисторных ячеек с номинальным напряжением питания 5 В
Otp	Модуль однократно программируемой памяти 370 бит
R	485 резисторов с повышенной степенью согласования сопротивлением 12,5 кОм; 970 резисторов сопротивлением 98,53 кОм
dn	Матрица согласованных диодов n-типа
dp	Матрица согласованных диодов p-типа
A	4560 n-МОП транзистора с $w = 1$ мкм $l = 1$ мкм; 9120 p-МОП транзистора с $w = 1$ мкм $l = 1$ мкм; 460 резисторов сопротивлением 10 кОм

Конденсаторы выполняются в зашивочных слоях с номинальной емкостью 1 фФ/мкм<sup>2</sup>.

## Библиотечные элементы

### 12-ти разрядный ЦАП

12-ти разрядный ЦАП имеет R-2R архитектуру с сегментированием старших разрядов. ЦАП является также составной частью 12-ти разрядного АЦП последовательного приближения. На входе АЦП стоит регистр-защелка. Выход ЦАП по напряжению без дополнительного буфера. Подключение резистивной нагрузки недопустимо. В случае необходимости требуется подключение буферного усилителя из состава АЦ БМК.

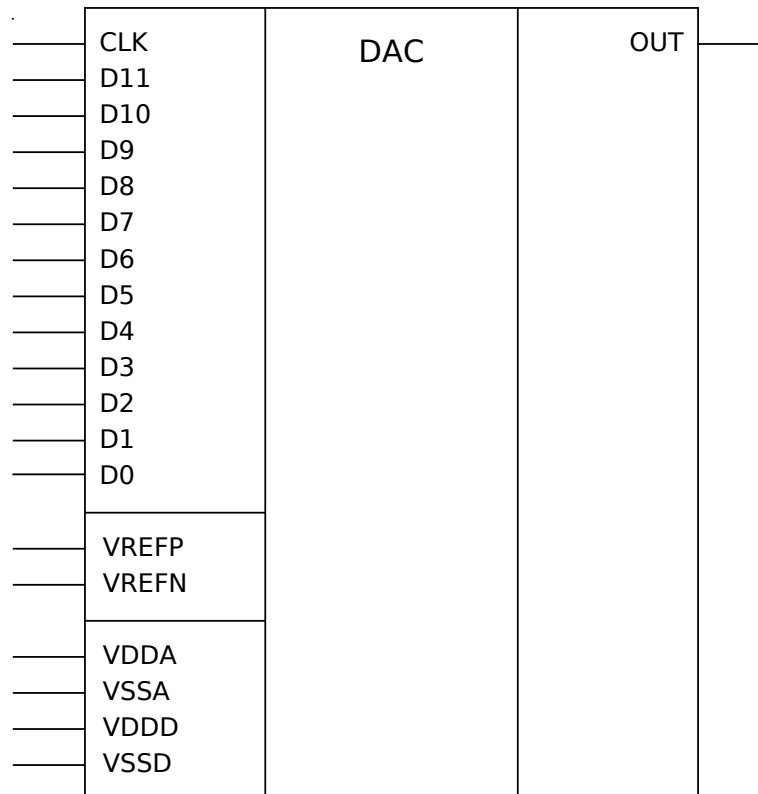


Рисунок 2. Графический символ цифро-аналогового преобразователя

Таблица 2. Назначение выводов

Наименование	Назначение вывода
CLKADC	Вход тактового сигнала
D11 – D0	Входы цифрового кода (D11 – старший)
VREFP	Вывод положительного опорного напряжения
VREFN	Вывод отрицательного опорного напряжения
OUT	Аналоговый выход
VDDA	Вывод положительного аналогового питания
VSSA	Вывод отрицательного аналогового питания
VDDD	Вывод положительного цифрового питания
VSSD	Вывод отрицательного цифрового питания

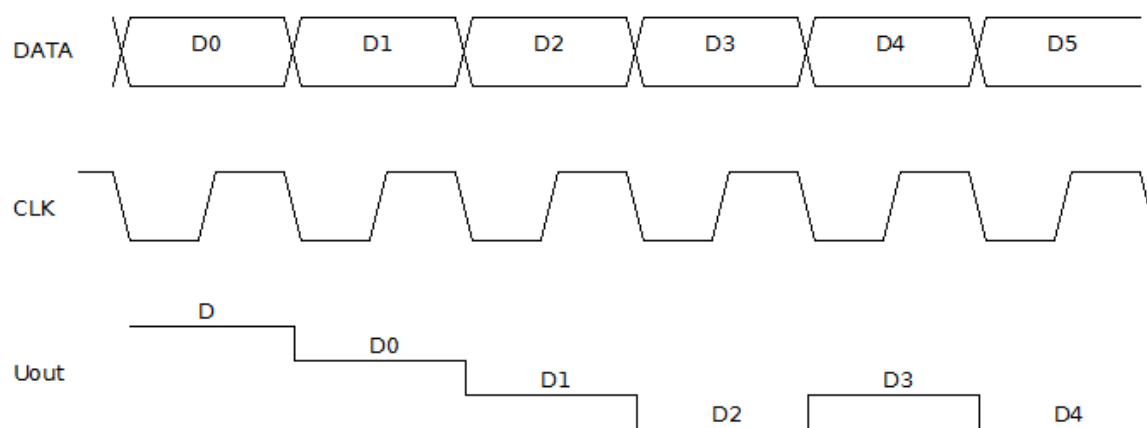


Рисунок 3. Временная диаграмма 12-ти разрядного ЦАП

Входные данные стробируются по фронту тактового сигнала и преобразуются в выходное напряжение по его срезу.

Таблица 3. Электрические параметры ЦАП

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Разрешающая способность, бит	12			+25 °C – 60 °C...125 °C
Время преобразования, мкс			1,0 1,5	+25 °C – 60 °C...125 °C
Дифференциальная нелинейность, МЗР	–0,9 –1,0		0,9 1,0	+25 °C – 60 °C...125 °C
Интегральная нелинейность, МЗР	–4,0 –5,0		4,0 5,0	+25 °C – 60 °C...125 °C
Динамический диапазон, свободный от гармонических искажений (SFDR), дБ		62		+25 °C – 60 °C...125 °C
Смещение нуля, мВ			5	+25 °C – 60 °C...125 °C
Температурный дрейф смещения нуля, мкВ/°C		6		+25 °C – 60 °C...125 °C
Выходное сопротивление, кОм		5		+25 °C – 60 °C...125 °C
Напряжение питания (VDDA), В		5,0		+25 °C – 60 °C...125 °C
Потребляемая мощность, при VDDA = 5 В, мВт		10		+25 °C – 60 °C...125 °C
Диапазон Vref, В	2		5	+25 °C – 60 °C...125 °C
Диапазон выходного сигнала, В	0		Vref	+25 °C – 60 °C...125 °C



### 12-ти разрядный АЦП

12-ти разрядный АЦП имеет в своей основе 12-ти разрядный ЦАП и является АЦП последовательного приближения. Структурная схема АЦП приведена на рисунке 4. Он имеет в своем составе блок управления (ЦБУ), регистр последовательного приближения (РПП), 12-ти разрядный R2R ЦАП, компаратор (К), устройство выборки-хранения (УВХ) и выходной регистр для хранения данных.

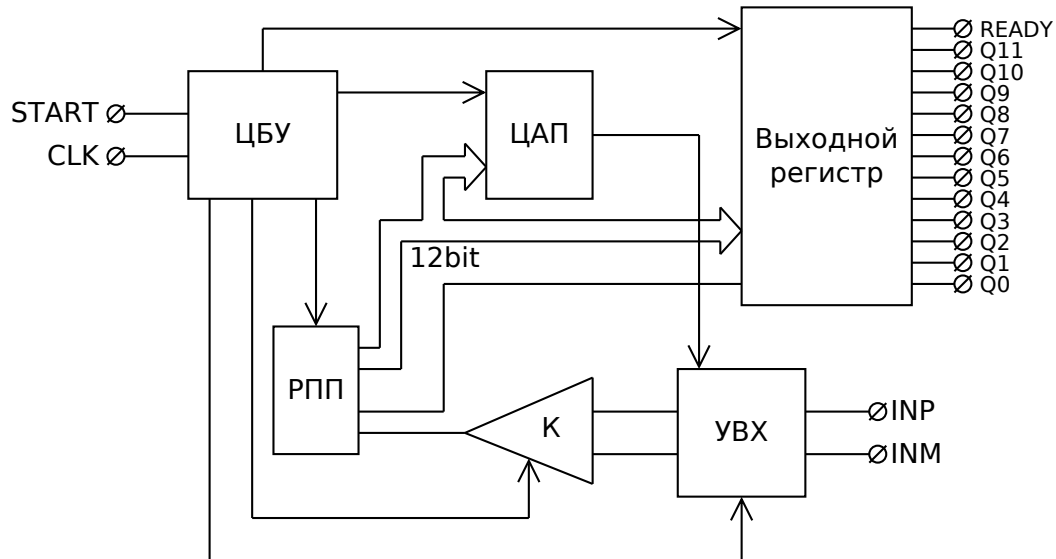


Рисунок 4. Структурная схема 12-ти разрядного АЦП

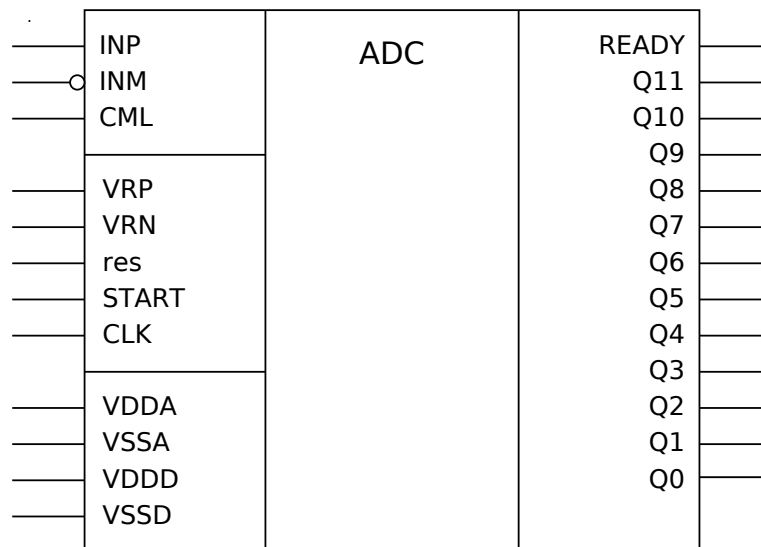


Рисунок 5. Графический символ аналого-цифрового преобразователя

Таблица 4. Назначение выводов

Наименование	Назначение вывода
INP	Положительный вход аналогового входного напряжения
INM	Отрицательный вход аналогового входного напряжения
CML	Вывод средней точки АЦП
VRP	Вывод положительного опорного напряжения
VRN	Вывод отрицательного опорного напряжения
res	Сигнал сброса
START	Вход сигнала старта преобразования
READY	Выход сигнала готовности данных
Q11 – Q0	Цифровые выходы АЦП (Q11 – старший)
CLK	Вход тактовой частоты
VDDA	Вывод положительного аналогового питания
VSSA	Вывод отрицательного аналогового питания
vdd!	Вывод положительного цифрового питания
gnd!	Вывод отрицательного цифрового питания

На рисунке 6 приведена временная диаграмма 12-ти разрядного АЦП. На преобразование входного сигнала требуется 16 периодов тактовой частоты. Входной сигнал стробируется по срезу сигнала START. Об окончании преобразования сигнализирует установка сигнала READY.

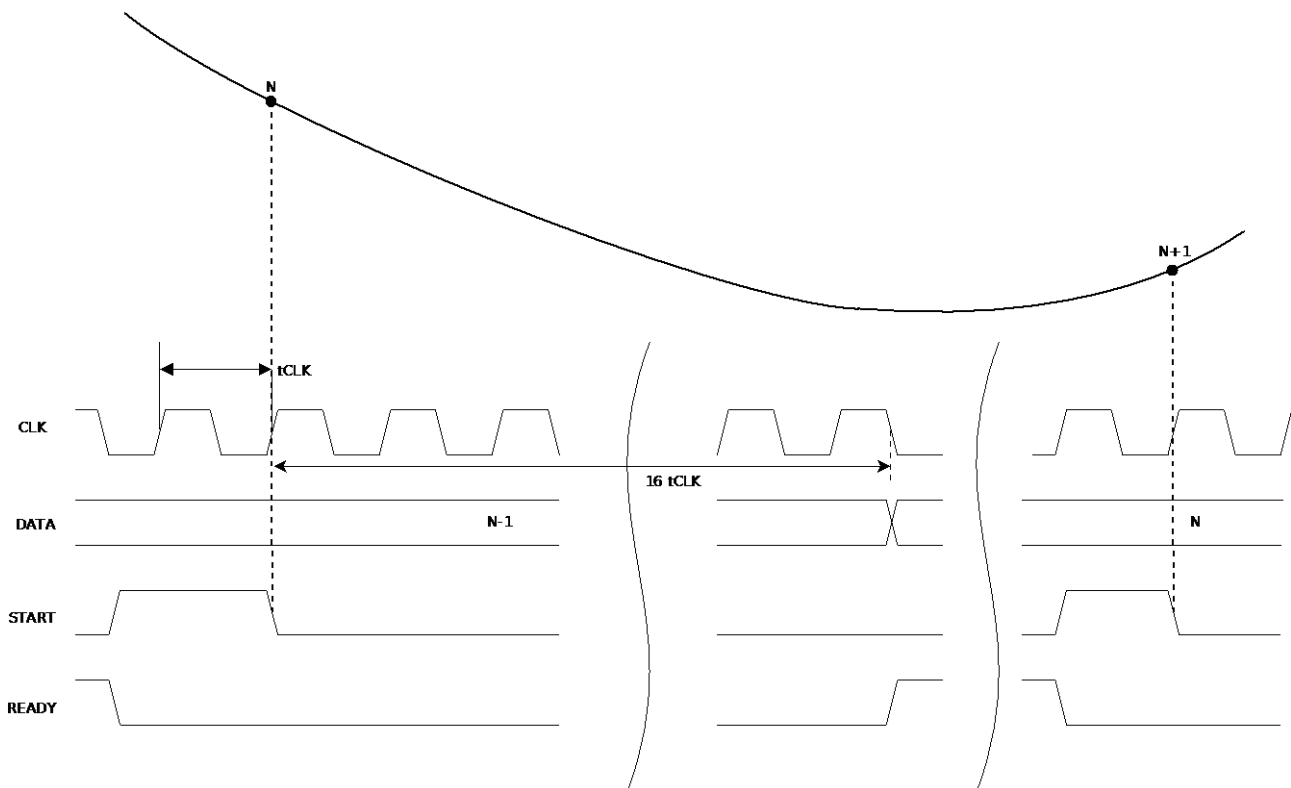


Рисунок 6. Временная диаграмма 12-ти разрядного АЦП

Таблица 5. Электрические параметры АЦП

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Разрешающая способность, бит	12			+25 °C – 60 °C...125 °C
Максимальная частота выборки, Мвыб./с	1,2			+25 °C – 60 °C...125 °C
Тактовая частота для частоты выборки 1МГц, МГц		16		+25 °C – 60 °C...125 °C
Дифференциальная нелинейность, МЗР	–0,9 –1,0		0,9 1,0	+25 °C – 60 °C...125 °C
Интегральная нелинейность, МЗР	–4,0 –5,0		4,0 5,0	+25 °C – 60 °C...125 °C
Динамический диапазон, свободный от гармонических искажений (SFDR), дБ		62		+25 °C – 60 °C...125 °C
Смещение нуля, мВ			20	+25 °C – 60 °C...125 °C
Температурный дрейф смещения нуля, мкВ/°C		10		+25 °C – 60 °C...125 °C
Шум приведенный ко входу, МЗРrms			1,6	+25 °C – 60 °C...125 °C
Эффективное число бит (ENOB), бит		9,5		+25 °C – 60 °C...125 °C
Полоса пропускания входного сигнала, МГц		50		+25 °C – 60 °C...125 °C
Входная емкость, пФ		4		+25 °C – 60 °C...125 °C
Напряжение питания (VDDA), В		5,0		+25 °C – 60 °C...125 °C
Потребляемая мощность, при VDDA = 5 В, мВт		20		+25 °C – 60 °C...125 °C
Напряжение полной шкалы, при Vref = 2,5 В, В		2,5		+25 °C – 60 °C...125 °C

### Полностью дифференциальный ОУ

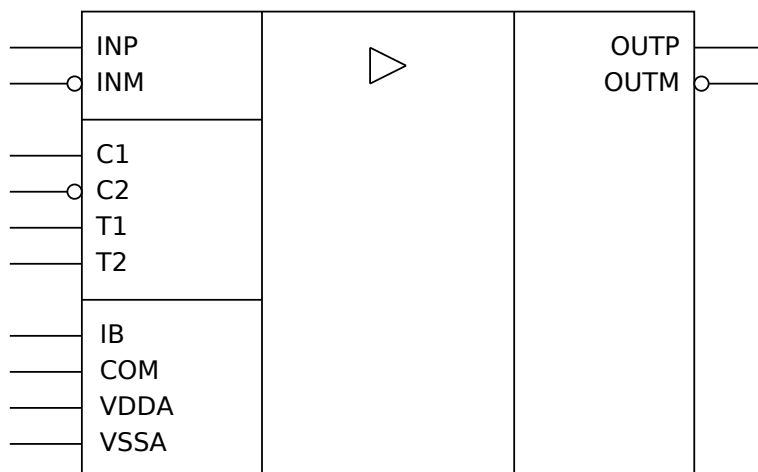


Рисунок 7. Графический символ полностью дифференциального ОУ

Таблица 6. Назначение выводов

Наименование	Назначение вывода
INP	Неинвертирующий вход ОУ
INM	Инвертирующий вход ОУ
IB	Вывод установки тока смещения
C1	Тактовый сигнал чоппер стабилизации
C2	Инверсный тактовый сигнал чоппер стабилизации
T1	Вывод подстройки смещения
T2	Вывод подстройки смещения
COM	Вход установки средней точки
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUTP	Неинвертирующий выход ОУ
OUTM	Инвертирующий выход ОУ

Таблица 7. Электрические параметры полностью дифференциального ОУ при  $V_{DDA} = 5 \text{ В}$ .

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Напряжение смещения, мВ			2,5 3,5	+25 °C – 60 °C...125 °C
Температурный коэффициент напряжения смещения, мкВ/°C		10		+25 °C – 60 °C...125 °C
Входной ток, нА			100	+25 °C – 60 °C...125 °C
Диапазон синфазного входного напряжения, В	0,5		3,5	+25 °C – 60 °C...125 °C
Диапазон выходного напряжения, В	0		5	+25 °C – 60 °C...125 °C
Максимальный выходной ток, мА		10		+25 °C – 60 °C...125 °C
Ток потребления, мА			3,0 4,0	+25 °C – 60 °C...125 °C
Коэффициент усиления, дБ	75 70	110		+25 °C – 60 °C...125 °C
Коэффициент ослабления синфазного входного напряжения, дБ		70		+25 °C – 60 °C...125 °C
Коэффициент влияния нестабильности источника питания на напряжение (ЭДС смещения), дБ		70		+25 °C – 60 °C...125 °C
Частота единичного усиления, МГц	2,0 1,0			+25 °C – 60 °C...125 °C
Запас по фазе, Град.		60		+25 °C – 60 °C...125 °C
Нормированная ЭДС шума на 1 кГц, нВ/√Гц		70		+25 °C – 60 °C...125 °C
Скорость нарастания выходного напряжения, В/мкс	3,0 1,5			+25 °C – 60 °C...125 °C

## ОУ общего применения

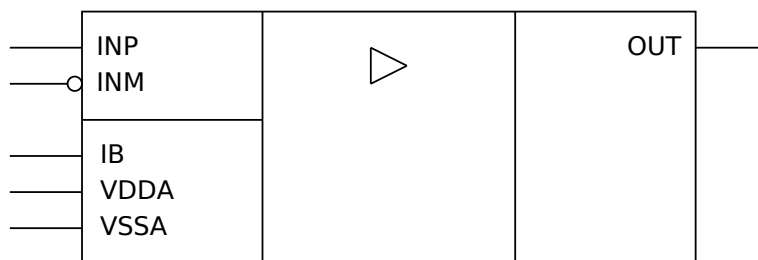


Рисунок 8. Графический символ ОУ общего применения

Таблица 8. Назначение выводов

Наименование	Назначение вывода
INP	Неинвертирующий вход ОУ
INM	Инвертирующий вход ОУ
IB	Вывод установки тока смещения
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUT	Выход ОУ

Таблица 9. Электрические параметры ОУ общего применения при VDDA = 5 В.

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типичное	не более	
Напряжение смещения, мВ			8,0 12,0	+25 °C – 60 °C...125 °C
Температурный коэффициент напряжения смещения, мкВ/°C		10		+25 °C – 60 °C...125 °C
Входной ток, нА			100	+25 °C – 60 °C...125 °C
Диапазон синфазного входного напряжения, В	0		5	+25 °C – 60 °C...125 °C
Диапазон выходного напряжения, В	0		5	+25 °C – 60 °C...125 °C
Максимальный выходной ток, мА			30	+25 °C – 60 °C...125 °C
Ток потребления, мА		2,0	5,0 6,0	+25 °C – 60 °C...125 °C
Коэффициент усиления, дБ	70 65	90		+25 °C – 60 °C...125 °C
Коэффициент ослабления синфазного входного напряжения, дБ		70		+25 °C – 60 °C...125 °C
Коэффициент влияния нестабильности источники питания на напряжение (ЭДС смещения), дБ		70		+25 °C – 60 °C...125 °C

Частота единичного усиления, МГц	25 20			+25 °C – 60 °C...125 °C
Запас по фазе, Град.		45		+25 °C – 60 °C...125 °C
Нормированная ЭДС шума на 1 кГц, нВ/√Гц		200		+25 °C – 60 °C...125 °C
Скорость нарастания выходного напряжения, В/мкс	9,0 8,0			+25 °C – 60 °C...125 °C

## Прецизионный ОУ

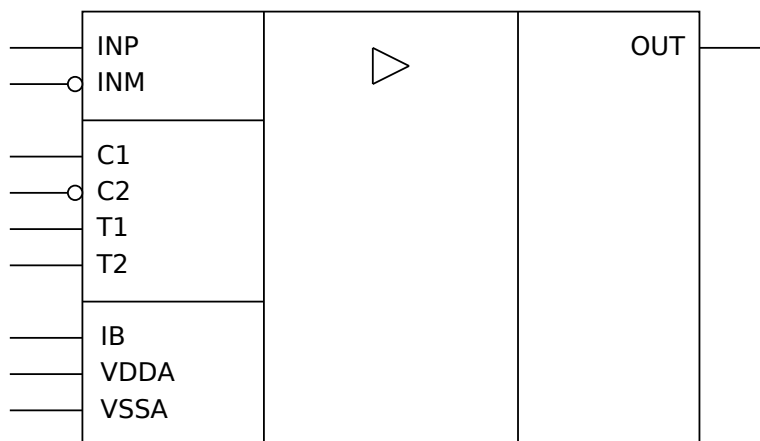


Рисунок 9. Графический символ прецизионного ОУ

Таблица 10. Назначение выводов

Наименование	Назначение вывода
INP	Неинвертирующий вход ОУ
INM	Инвертирующий вход ОУ
IB	Вывод установки тока смещения
C1	Тактовый сигнал чоппер стабилизации
C2	Инверсный тактовый сигнал чоппер стабилизации
T1	Вывод подстройки смещения
T2	Вывод подстройки смещения
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUT	Выход ОУ

Таблица 11. Электрические параметры прецизионного ОУ при VDDA = 5 В

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типичное	не более	
Напряжение смещения, мВ			2,5 3,5	+25 °C – 60 °C...125 °C
Температурный коэффициент напряжения смещения, мкВ/°C		6,0		+25 °C – 60 °C...125 °C
Входной ток, нА			100	+25 °C – 60 °C...125 °C
Диапазон синфазного входного напряжения, В	0,5		3,5	+25 °C – 60 °C...125 °C
Диапазон выходного напряжения, В	0		5	+25 °C – 60 °C...125 °C
Максимальный выходной ток, мА		10		+25 °C – 60 °C...125 °C
Ток потребления, мА			3,0 4,0	+25 °C – 60 °C...125 °C
Коэффициент усиления, дБ	90	120		+25 °C



	85			- 60 °C...125 °C
Коэффициент ослабления синфазного входного напряжения, дБ		70		+25 °C - 60 °C...125 °C
Коэффициент влияния нестабильности источники питания на напряжение (ЭДС смещения), дБ		70		+25 °C - 60 °C...125 °C
Частота единичного усиления, МГц	2,0 1,0			+25 °C - 60 °C...125 °C
Запас по фазе, Град.		60		+25 °C - 60 °C...125 °C
Нормированная ЭДС шума на 1 кГц, нВ/√Гц		50		+25 °C - 60 °C...125 °C
Скорость нарастания выходного напряжения, В/мкс	2,0 1,5			+25 °C - 60 °C...125 °C

## Компаратор общего применения

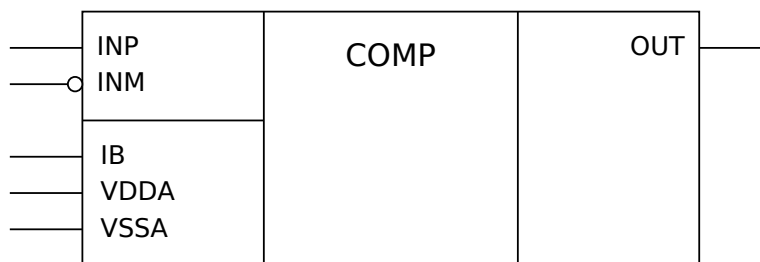


Рисунок 10. Графический символ компаратора общего применения

Таблица 12. Назначение выводов

Наименование	Назначение вывода
INP	Неинвертирующий вход компаратора
INM	Инвертирующий вход компаратора
IB	Вывод установки тока смещения
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUT	Выход компаратора

Таблица 13. Электрические параметры компаратора общего применения

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Напряжение смещения, мВ			8,0 12,0	+25 °C – 60 °C...125 °C
Температурный коэффициент напряжения смещения, мкВ/°C		10,0		+25 °C – 60 °C...125 °C
Входной ток, нА			100	+25 °C – 60 °C...125 °C
Диапазон синфазного входного напряжения, В	0		5,0	+25 °C – 60 °C...125 °C
Ток потребления, мА			5,0 6,0	+25 °C – 60 °C...125 °C
Разрешающая способность, мВ			1,0 2,0	+25 °C – 60 °C...125 °C
Величина гистерезиса, мВ		–		+25 °C – 60 °C...125 °C
Время срабатывания, мкс			0,2 0,3	+25 °C – 60 °C...125 °C

## Стробируемый компаратор

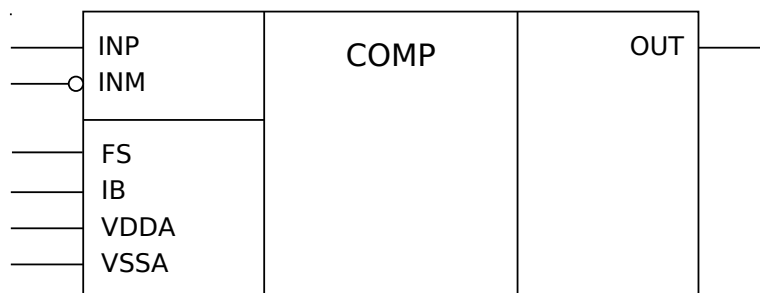


Рисунок 11. Графический символ стробируемого компаратора

Таблица 14. Назначение выводов

Наименование	Назначение вывода
INP	Неинвертирующий вход компаратора
INM	Инвертирующий вход компаратора
IB	Вывод установки тока смещения
FS	Сигнал строба
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUT	Выход компаратора

Таблица 15. Электрические параметры стробируемого компаратора

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типичное	не более	
Напряжение смещения, мВ			10,0 15,0	+25 °C – 60 °C...125 °C
Температурный коэффициент напряжения смещения, мкВ/°C		10		+25 °C – 60 °C...125 °C
Входной ток, нА			100	+25 °C – 60 °C...125 °C
Диапазон синфазного входного напряжения, В	1,2		4,2	+25 °C – 60 °C...125 °C
Ток потребления, мА			5,0 6,0	+25 °C – 60 °C...125 °C
Разрешающая способность, мВ			1,0 2,0	+25 °C – 60 °C...125 °C
Величина гистерезиса, мВ		–		+25 °C – 60 °C...125 °C
Время срабатывания, мкс			0,1 0,2	+25 °C – 60 °C...125 °C

**Аналоговый мультиплексор mux8\_1**

Аналоговый мультиплексор предназначен для выбора требуемого аналогового канала.

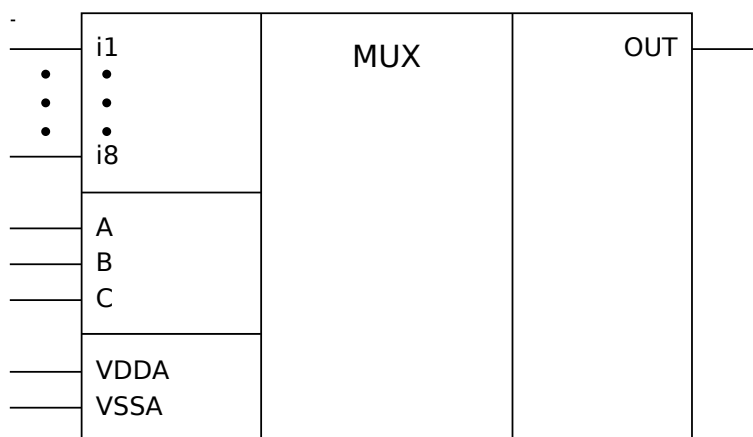


Рисунок 12. Графический символ аналогового мультиплексора

Таблица 16. Назначение выводов

Наименование	Назначение вывода
i1 – i8	Аналоговые входы
A, B, C	Цифровые входы выбора канала
VDDA	Вывод положительного питания
VSSA	Вывод отрицательного питания или общий
OUT	Аналоговый выход

Таблица 17. Электрические параметры аналогового мультиплексора

Наименование параметра, единица измерения	Норма параметра		Температура
	не менее	не более	
Сопротивление открытого ключа, Ом		60	+25 °C – 60 °C...125 °C
Сопротивление закрытого ключа, МОм	100	1	+25 °C – 60 °C...125 °C
Ток утечки, мкА		1,0	+25 °C – 60 °C...125 °C

Таблица 18. Кодировка каналов аналогового мультиплексора

Код канала	Выбранный канал
000	i1
001	i2
010	i3
011	i4
100	i5
101	i6
110	i7
111	i8

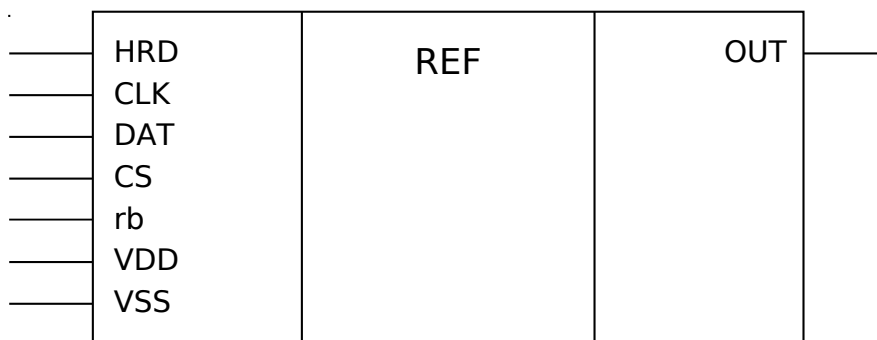
**Встроенный источник опорного напряжения**

Рисунок 13. Графический символ источника опорного напряжения

Таблица 19. Назначение выводов

Наименование	Назначение вывода
HRD	Вывод питания/программирования ячеек памяти
CLK	Вход тактового сигнала
DAT	Вход данных
CS	Вывод разрешения записи
rb	Сигнал сброса
OUT	Выход источника опорного напряжения
VDD	Вывод положительного питания
VSS	Вывод отрицательного питания

Таблица 20. Электрические параметры источника опорного напряжения

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Выходное напряжение, В	0,97	1,0	1,03	+25 °C – 60 °C...125 °C
Температурный коэффициент изменения выходного напряжения, ppm/°C	– 100		100	+25 °C – 60 °C...125 °C
Нестабильность по току мВ/мА		1		+25 °C – 60 °C...125 °C
Нестабильность по напряжению мВ/В		1		+25 °C – 60 °C...125 °C

## Цифровой блок

Цифровая функциональная область разработанного АЦ БМК представляет собой матрицу, состоящую из набора 2-х транзисторных базовых цифровых ячеек.

Разработанная цифровая библиотека доступна в 2 видах: VDD = 1,8 В и VDD = 5 В. На рисунке 14 представлен маршрут проектирования цифровых блоков.

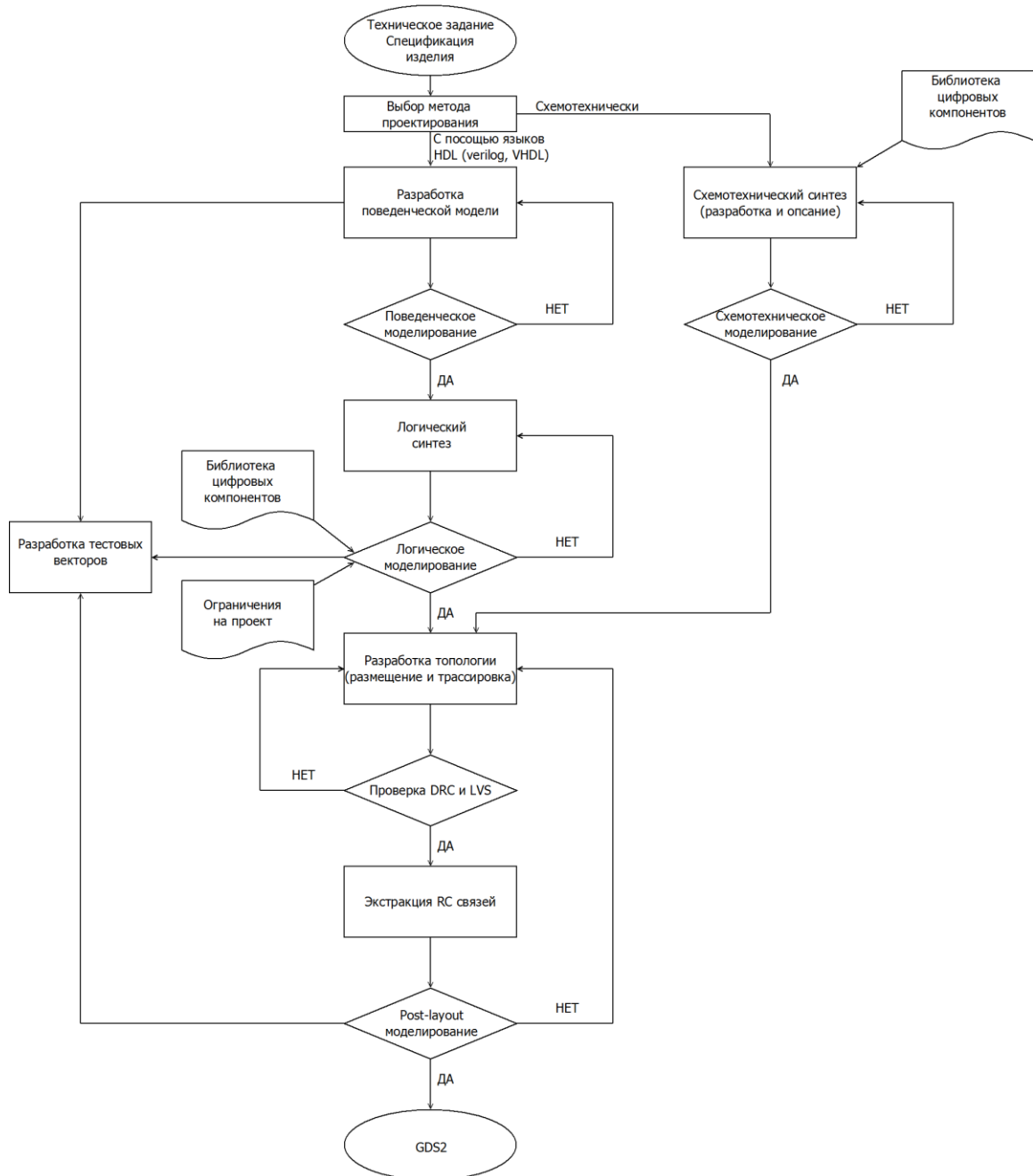


Рисунок 14. Маршрут проектирования цифровых блоков

В рамках представленного маршрута проектирования заказчик имеет возможность выбора степени своего участия в разработке: от формирования только технического задания или исходных данных до полностью самостоятельной разработки схемы. Возможно несколько вариантов взаимодействия:

- На основе технического задания или исходных данных.
  - Заказчик формулирует техническое задание на разрабатываемую микросхему. «Дизайн центр «Союз» производит ее проектирование в базе цифровой библиотеки БМК и далее по маршруту.
- На основе поведенческого проекта.
  - Заказчик самостоятельно разрабатывает проект на поведенческом уровне на языках VHDL или Verilog и предаёт его «Дизайн центру «Союз». «Дизайн центр «Союз» производит синтез проекта в базе существующей цифровой библиотеки и делает топологию. Верификация Post-layout происходит совместно с заказчиками посредством передачи ему полученных в ходе Post-layout моделирования временных диаграмм.
- На основе логического проекта (в случае, если у заказчика есть необходимое ПО)
  - Заказчик самостоятельно разрабатывает проект в базе существующей цифровой библиотеки на логическом уровне на языках VHDL или Verilog и предаёт его «Дизайн центру «Союз». «Дизайн центр «Союз» производит топологию проекта. Верификация Post-layout происходит совместно с заказчиками посредством передачи ему полученных в ходе Post-layout моделирования временных диаграмм.
- На основе проекта, выполненного на ПЛИС типов XILINX, ACTEL и ALTERA.
  - Заказчик предаёт в «Дизайн центр «Союз» всю имеющуюся у него информацию о проекте (эл. схемы, документации, Verilog/VHDL описания). «Дизайн центр «Союз» производит перевод и проектирование проекта в базе цифровой библиотеки БМК и далее по маршруту. Верификация Post-layout происходит совместно с заказчиками посредством передачи ему полученных в ходе Post-layout моделирования временных диаграмм.
- На основе библиотеки цифровых элементов БМК.
  - Заказчик самостоятельно проектирует схему в базе библиотеки и предаёт её в «Дизайн центр «Союз» для последующей топологии. Верификация Post-layout происходит совместно с заказчиками посредством передачи ему полученных в ходе Post-layout моделирования временных диаграмм.

Таблица 21. Типовой состав основных элементов цифровой библиотеки

№ п.п.	Условное наименование	Функциональное назначение элемента
1	Adfull_1	Двухбитный сумматор с битом переноса и загрузки
2	And2_1	Логический элемент «2И»
3	And3_1	Логический элемент «3И»
4	And4_1	Логический элемент «4И»
5	And5_1	Логический элемент «5И»
6	And6_1	Логический элемент «6И»
7	Aoi21_1	Логический элемент «2И_1ИЛИ_НЕ»
8	Aoi22_1	Логический элемент «2И_2И_ИЛИ_НЕ»
9	Buf_1	Логический элемент «буфер» (повторитель сигнала)
10	Dffp_1	Тактируемый по фронту сигнала D-триггер с прямым и инверсным выходами
11	Dffpr_1	Тактируемый по фронту сигнала D-триггер с прямым и инверсным выходами, с асинхронным сбросом по низкому уровню сигнала сброса
12	Dffprq_1	Тактируемый по фронту сигнала D-триггер с прямым выходом, с асинхронным сбросом по низкому уровню сигнала сброса
13	Dffprs_1	Тактируемый по фронту сигнала D-триггер с прямым и инверсным выходами, с асинхронным сбросом по низкому уровню сигнала сброса, с асинхронной установкой в состояние логической «1» по низкому уровню сигнала установки
14	Dffpq_1	Тактируемый по фронту сигнала D-триггер с прямым выходом
15	Dffps_1	Тактируемый по фронту сигнала D-триггер с прямым и инверсным выходами, с асинхронной установкой в состояние логической «1» по низкому уровню сигнала установки
16	Exnor2_1	Логический элемент «2исключающее ИЛИ-НЕ»
17	Exnor3_1	Логический элемент «3исключающее ИЛИ-НЕ»
18	Exor2_1	Логический элемент «2исключающее ИЛИ»
19	Exor3_1	Логический элемент «3исключающее ИЛИ»
20	Inv_1	Логический элемент «НЕ»
21	Mux2_1	Логический элемент «МУЛЬТИПЛЕКСОР 2 в 1»
22	Mux4_1	Логический элемент «МУЛЬТИПЛЕКСОР 4 в 1»
23	Or2_1	Логический элемент «2ИЛИ»
24	Or3_1	Логический элемент «3ИЛИ»
25	Or4_1	Логический элемент «4ИЛИ»
26	Or5_1	Логический элемент «5ИЛИ»
27	Or6_1	Логический элемент «6ИЛИ»



28	Nand2_1	Логический элемент «2И-НЕ»
29	Nand3_1	Логический элемент «3И-НЕ»
30	Nand4_1	Логический элемент «4И-НЕ»
31	Nand5_1	Логический элемент «5И-НЕ»
32	Nand6_1	Логический элемент «6И-НЕ»
33	Nor2_1	Логический элемент «2ИЛИ-НЕ»
34	Nor3_1	Логический элемент «3ИЛИ-НЕ»
35	Nor4_1	Логический элемент «4ИЛИ-НЕ»
36	Nor5_1	Логический элемент «5ИЛИ-НЕ»
37	Nor6_1	Логический элемент «6ИЛИ-НЕ»
38	Oai21_1	Логический элемент «2ИЛИ_1И-НЕ»
39	Oai22_1	Логический элемент «2ИЛИ_2ИЛИ_И-НЕ»
40	Latn_1	Тактируемая по высокому уровню сигнала g защелка с прямым и инверсным выходами
41	Latnr_1	Тактируемая по высокому уровню сигнала g защелка с прямым и инверсным выходами, с асинхронным сбросом по низкому уровню сигнала сброса
42	Latnrs_1	Тактируемая по высокому уровню сигнала g защелка с прямым и инверсным выходами, с асинхронной установкой в состояние логической «1» по низкому уровню сигнала установки, с асинхронным сбросом по низкому уровню сигнала сброса
43	Latp_1	Тактируемая по низкому уровню сигнала g защелка с прямым и инверсным выходами
44	Latpr_1	Тактируемая по низкому уровню сигнала g защелка с прямым и инверсным выходами, с асинхронным сбросом по низкому уровню сигнала сброса
45	Latprs_1	Тактируемая по низкому уровню сигнала g защелка с прямым и инверсным выходами, с асинхронной установкой в состояние логической «1» по низкому уровню сигнала установки, с асинхронным сбросом по низкому уровню сигнала сброса

В таблице представлены цифровые элементы с единичной драйверной способностью. Полный состав цифровой библиотеки включает в себя элементы с различной драйверной способностью (2, 4, 8), элементы с прямым и инверсным выходами, элементы с различным набором сигналов установки.

Таблица 22. Типовые расчетные временные параметры цифровых библиотечных элементов для VDD = 1,8 В

№ п.п.	Условное наименование	Задержка переключения из «0» в «1», пс	Задержка переключения из «1» в «0», пс	Задержка отн. сигнала разрешения (enable)	Задержка отн. сигнала установки (set)	Задержка отн. сигнала сброса (reset)
1	Adfull_1	138	168	—	—	—
2	And2_1	141	104	—	—	—
3	And3_1	179	108	—	—	—
4	And4_1	217	119	—	—	—
5	And5_1	232	126	—	—	—
6	And6_1	247	109	—	—	—
7	Aoi21_1	162	67	—	—	—
8	Aoi22_1	175	111	—	—	—
9	Buf_1	107	100	—	—	—
10	Dffp_1					
	Выход Q	262	222	—	—	—
	Выход nQ	279	303	—	—	—
11	Dffpr_1					
	Выход Q	313	243	—	—	163
	Выход nQ	304	358	—	—	223
12	Dffprq_1	360	276	—	—	194
13	Dffprs_1					
	Выход Q	378	314	—	275	231
	Выход nQ	302	351	—	242	213
14	Dffpq_1	264	225	—	—	—
15	Dffps_1					
	Выход Q	277	234	—	263	—
	Выход nQ	331	328	—	138	—
16	Exnor2_1	143	135	—	—	—
17	Exnor3_1	128	133	—	—	—
18	Exor2_1	125	141	—	—	—
19	Exor3_1	125	67	—	—	—
20	Inv_1	74	63	—	—	—
21	Mux2_1	150	153	—	—	—
22	Mux4_1	215	197	—	—	—
23	Or2_1	98	131	—	—	—
24	Or3_1	95	162	—	—	—
25	Or4_1	93	226	—	—	—
26	Or5_1	58	149	—	—	—
27	Or6_1	59	189	—	—	—
28	Nand2_1	79	111	—	—	—
29	Nand3_1	82	164	—	—	—
30	Nand4_1	91	217	—	—	—
31	Nand5_1	227	168	—	—	—
32	Nand6_1	150	241	—	—	—
33	Nor2_1	129	38	—	—	—
34	Nor3_1	187	30	—	—	—
35	Nor4_1	199	83	—	—	—
36	Nor5_1	184	104	—	—	—
37	Nor6_1	214	104	—	—	—

38	Oai21_1	97	96	—	—	—
39	Oai22_1	174	66	—	—	—
40	Latn_1					
	Выход Q	237	194	—	—	—
	Выход nQ	249	221	—	—	—
41	Latnr_1					
	Выход Q	276	216	—	—	164
	Выход nQ	272	313	—	—	224
42	Latnrs_1					
	Выход Q	347	314	—	187	278
	Выход nQ	300	313	—	153	264
43	Latp_1					
	Выход Q	180	194	—	—	—
	Выход nQ	250	249	—	—	—
44	Latpr_1					
	Выход Q	241	256	—	—	163
	Выход nQ	312	277	—	—	223
45	Latprs_1					
	Выход Q	312	351	—	183	278
	Выход nQ	338	276	—	149	264

## Тестовая зашивка 5400TP045-000

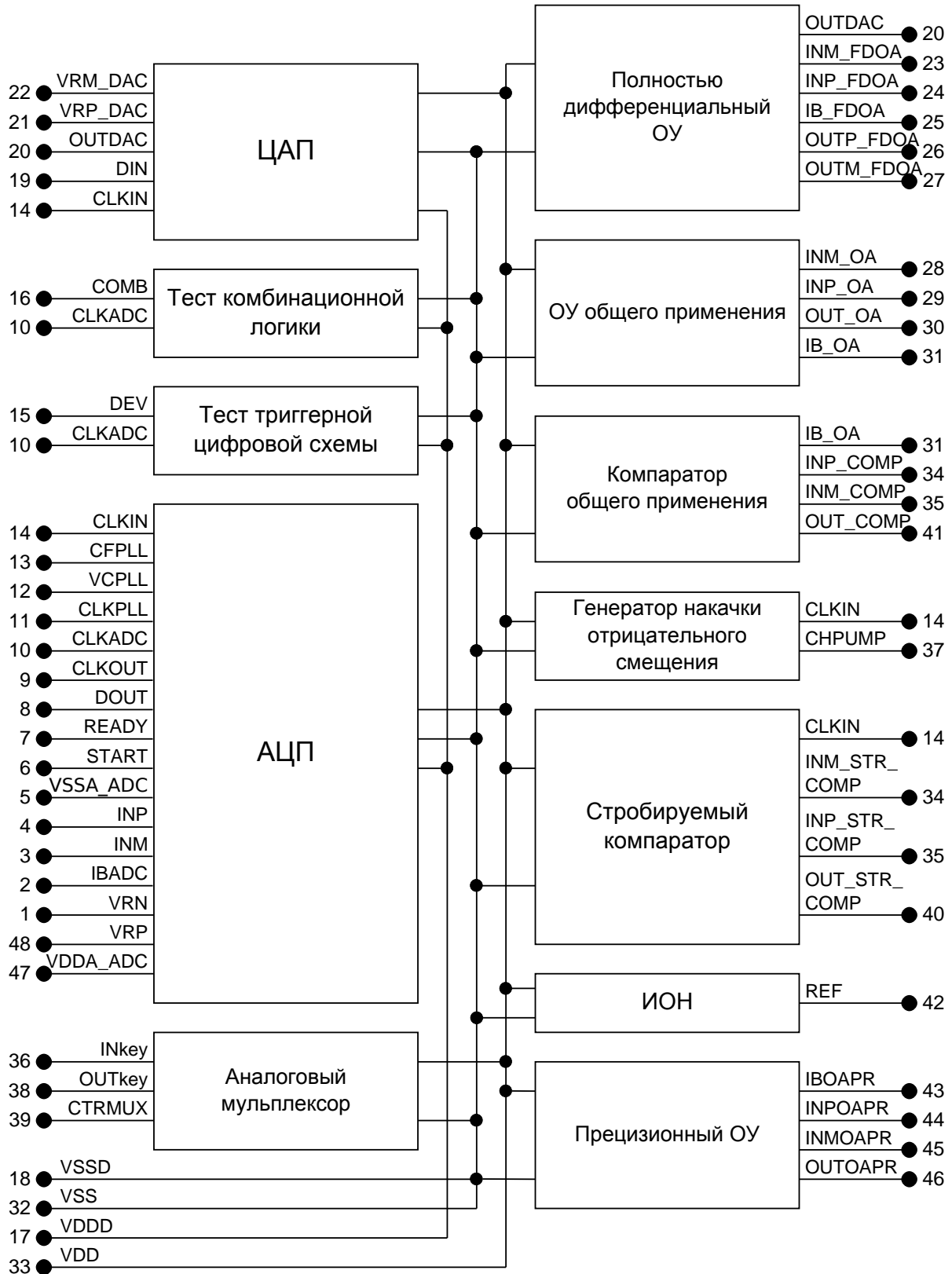


Рисунок 15. Структурная схема тестовой зашивки

Таблица 23. Назначение выводов микросхемы 5400TP045-000 (тестовая зашивка)

№ вывода	Условное наименование вывода	Принадлежность к тестовому функциональному блоку БМК	Назначение вывода
1	VRN	АЦП	Вывод отрицательного опорного напряжения АЦП
2	IBADC	АЦП	Вывод тока смещения АЦП
3	INM	АЦП	Отрицательный вход аналогового входного напряжения АЦП
4	INP	АЦП	Положительный вход аналогового входного напряжения АЦП
5	VSSA_ADC	АЦП	Вывод отрицательного питания АЦП
6	START	АЦП	Вход сигнала старта преобразования
7	READY	АЦП	Выход сигнала готовности данных
8	DOUT	АЦП	Последовательный выход данных
9	CLKOUT	АЦП	Выход сигнала синхронизации данных
10	CLKADC	АЦП, Тест комбинационной логики, Тест триггерной цифровой схемы	Вход тактовой частоты
11	CLKPLL	АЦП	Выход умножителя частоты
12	VCPLL	АЦП	Вывод для подключения емкости петлевого фильтра умножителя частоты
13	CFPLL	АЦП	Вывод для подключения резистора петлевого фильтра умножителя частоты
14	CLKIN	АЦП, ЦАП, Стробируемый компаратор, Генератор накачки	Вход тактовой частоты

№ вывода	Условное наименование вывода	Принадлежность к тестовому функциональному блоку БМК	Назначение вывода
		отрицательного смещения	
15	DEV	Тест триггерной цифровой схемы	Выход теста цифрового блока с триггерами
16	COMB	Тест комбинационной логики	Выход теста цифрового блока комбинационной логики
17	VDDD	Тест комбинационной логики, Тест триггерной цифровой схемы, АЦП, ЦАП	Вывод положительного напряжения питания цифровой части
18	VSSD	Тест комбинационной логики, Тест триггерной цифровой схемы, АЦП, ЦАП	Вывод отрицательного напряжения питания цифровой части
19	DIN	ЦАП	Последовательный вход данных
20	OUTDAC	ЦАП Полностью дифференциальный ОУ	Аналоговый выход ЦАП Вывод средней точки полностью дифференциального ОУ
21	VRP_DAC	ЦАП	Вывод положительного опорного напряжения ЦАП
22	VRM_DAC	ЦАП	Вывод отрицательного опорного напряжения ЦАП
23	INM_FDOA	Полностью дифференциальный ОУ	Инвертирующий вход полностью дифференциального ОУ
24	INP_FDOA	Полностью дифференциальный ОУ	Неинвертирующий вход полностью дифференциального ОУ
25	IB_FDOA	Полностью дифференциальный ОУ	Вывод установки тока смещения полностью дифференциального ОУ
26	OUTP_FDOA	Полностью	Неинвертирующий выход

№ вывода	Условное наименование вывода	Принадлежность к тестовому функциональному блоку БМК	Назначение вывода
		дифференциальный ОУ	полностью дифференциального ОУ
27	OUTM_FDOA	Полностью дифференциальный ОУ	Инвертирующий выход полностью дифференциального ОУ
28	INM_OA	ОУ общего применения	Инвертирующий вход ОУ общего применения
29	INP_OA	ОУ общего применения	Неинвертирующий вход ОУ общего применения
30	OUT_OA	ОУ общего применения	Выход ОУ общего применения
31	IB_OA	ОУ общего применения Компаратор общего применения	Вывод установки тока покоя ОУ общего применения и компаратора общего применения
32	VSS	Все блоки	Вывод отрицательного питания аналоговой части
33	VDD	Все блоки	Вывод положительного питания аналоговой части
34	INP_COMP INM_STR_COMP	Компаратор общего применения Стробируемый компаратор	Инвертирующий вход компаратора общего применения. Неинвертирующий вход стробируемого компаратора.
35	INM_COMP INP_STR_COMP	Компаратор общего применения Стробируемый компаратор	Неинвертирующий вход компаратора общего применения. Инвертирующий вход стробируемого компаратора.
36	INkey	Аналоговый мультимплексор	Вход аналогового ключа
37	CHPUMP	Генератор накачки отрицательного смещения	Вывод генератора накачки отрицательного смещения
38	OUTkey	Аналоговый мультимплексор	Выход аналогового ключа
39	CTRMUX	Аналоговый	Вывод управления аналоговым

<b>№ вывода</b>	<b>Условное наименование вывода</b>	<b>Принадлежность к тестовому функциональному блоку БМК</b>	<b>Назначение вывода</b>
		мультиплексор	ключом и мультиплексором
40	OUT_STR_COMP	Стробируемый компаратор	Выход стробируемого компаратора
41	OUT_COMP	Компаратор общего применения	Выход компаратора общего применения
42	REF	ИОН	Выход ИОН
43	IBOAPR	Прецизионный ОУ	Вывод для задания тока покоя прецизионного ОУ
44	INPOAPR	Прецизионный ОУ	Неинвертирующий вход прецизионного ОУ
45	INMOAPR	Прецизионный ОУ	Инвертирующий вход прецизионного ОУ
46	OUTOAPR	Прецизионный ОУ	Выход прецизионного ОУ
47	VDDA_ADC	АЦП	Вывод положительного питания АЦП
48	VRP	АЦП	Вывод положительного опорного напряжения АЦП



**12-ти разрядный ЦАП в тестовой зашивке 5400TP045-000**

12-ти разрядный ЦАП имеет R-2R архитектуру с сегментированием старших разрядов. ЦАП является также составной частью 12-ти разрядного АЦП последовательного приближения.

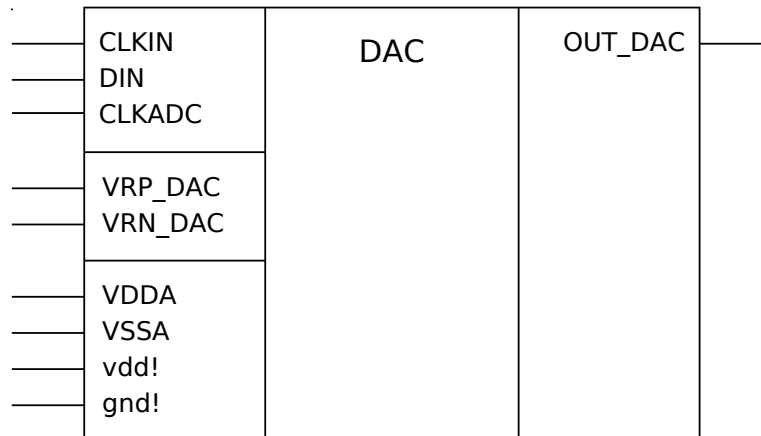


Рисунок 16. Графический символ цифро-аналогового преобразователя

Таблица 24. Назначение выводов

Наименование	Назначение вывода
CLKADC	Вход тактового сигнала
DIN	Последовательный вход данных
CLKIN	Выход сигнала готовности данных
VRP_DAC	Вывод положительного опорного напряжения
VRM_DAC	Вывод отрицательного опорного напряжения
OUT_DAC	Аналоговый выход
VDDA	Вывод положительного аналогового питания
VSSA	Вывод отрицательного аналогового питания
vdd!	Вывод положительного цифрового питания
gnd!	Вывод отрицательного цифрового питания

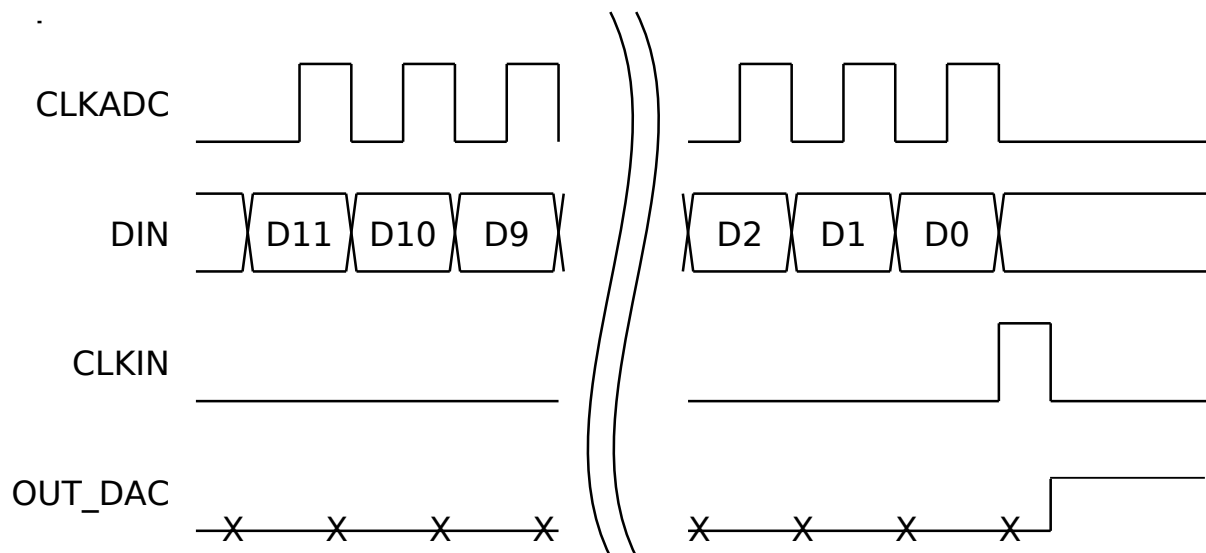


Рисунок 17. Временная диаграмма 12-ти разрядного ЦАП

Данные записываются в последовательный порт DIN в течение 12 тактов сигнала CLKADC. По срезу сигнала CLKIN на выходе OUT\_DAC устанавливается напряжение. Сигнал держится до прихода следующего среза сигнала CLKIN.

Таблица 25. Электрические параметры ЦАП

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типичное	не более	
Разрешающая способность, бит	12			+25 °C – 60 °C...125 °C
Время преобразования, мкс			1,0 1,5	+25 °C – 60 °C...125 °C
Дифференциальная нелинейность, МЗР	–0,9 –1,0		0,9 1,0	+25 °C – 60 °C...125 °C
Интегральная нелинейность, МЗР	–4,0 –5,0		4,0 5,0	+25 °C – 60 °C...125 °C
Динамический диапазон, свободный от гармонических искажений (SFDR), дБ		62		+25 °C – 60 °C...125 °C
Смещение нуля, мВ			5	+25 °C – 60 °C...125 °C
Температурный дрейф смещения нуля, мкВ/°C		6		+25 °C – 60 °C...125 °C
Выходное сопротивление, кОм		5		+25 °C – 60 °C...125 °C
Напряжение питания (VDDA), В		5,0		+25 °C – 60 °C...125 °C
Потребляемая мощность, при VDDA = 5 В, мВт		10		+25 °C – 60 °C...125 °C
Диапазон Vref, В	2		5	+25 °C – 60 °C...125 °C
Диапазон выходного сигнала, В	0		Vref	+25 °C – 60 °C...125 °C

**12-ти разрядный АЦП в тестовой зашивке 5400TP045-000**

12-ти разрядный АЦП имеет в своей основе 12-ти разрядный ЦАП и является АЦП последовательного приближения. Структурная схема АЦП приведена на рисунке 4. Он имеет в своем составе цифровой блок управления, 12-ти разрядный R-2R ЦАП, компаратор (COMP) и выходной последовательный регистр.

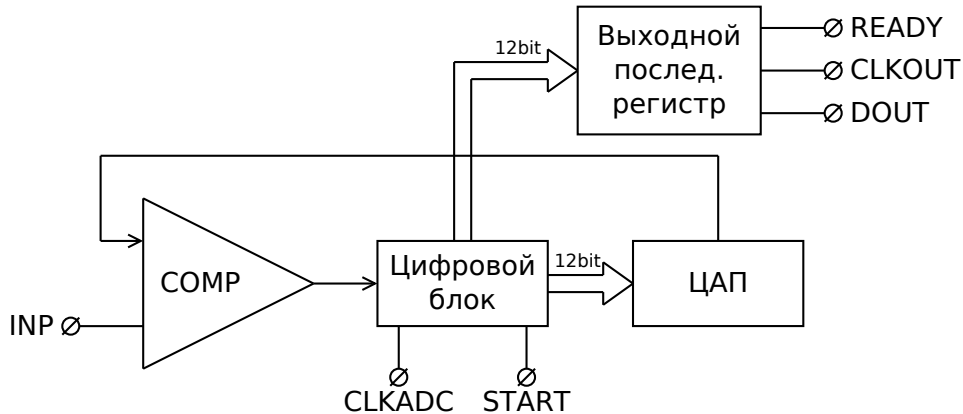


Рисунок 18. Структурная схема 12-ти разрядного АЦП

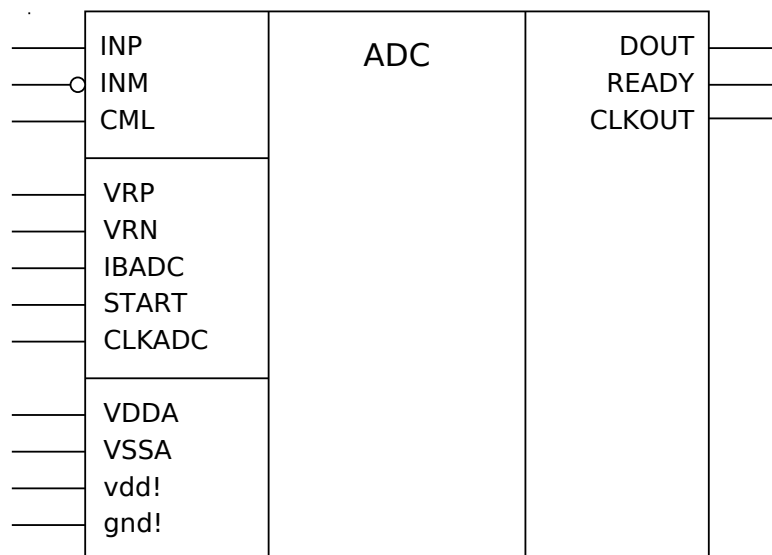


Рисунок 19. Графический символ аналого-цифрового преобразователя

Таблица 26. Назначение выводов

Наименование	Назначение вывода
INP	Положительный вход аналогового входного напряжения
INM	Отрицательный вход аналогового входного напряжения
CML	Вывод средней точки АЦП
VRP	Вывод положительного опорного напряжения
VRN	Вывод отрицательного опорного напряжения
IBADC	Вывод установки тока смещения
START	Вход сигнала старта преобразования
READY	Выход сигнала готовности данных
DOUT	Последовательный выход данных
CLKOUT	Вывод сигнала синхронизации данных
CLKADC	Вход тактовой частоты
VDDA	Вывод положительного аналогового питания
VSSA	Вывод отрицательного аналогового питания
vdd!	Вывод положительного цифрового питания
gnd!	Вывод отрицательного цифрового питания

На рисунке 20 приведена временная диаграмма 12-ти разрядного АЦП. На преобразование входного сигнала требуется 15 периодов тактовой частоты. Входной сигнал стробируется по фронту сигнала START. Об окончании преобразования сигнализирует установка сигнала READY. Последовательный выход данных DOUT содержит старшие 4 бита результата преобразования (X, X, X, X) и младшие 8 бит (D11, D10, D9, D8, D7, D6).

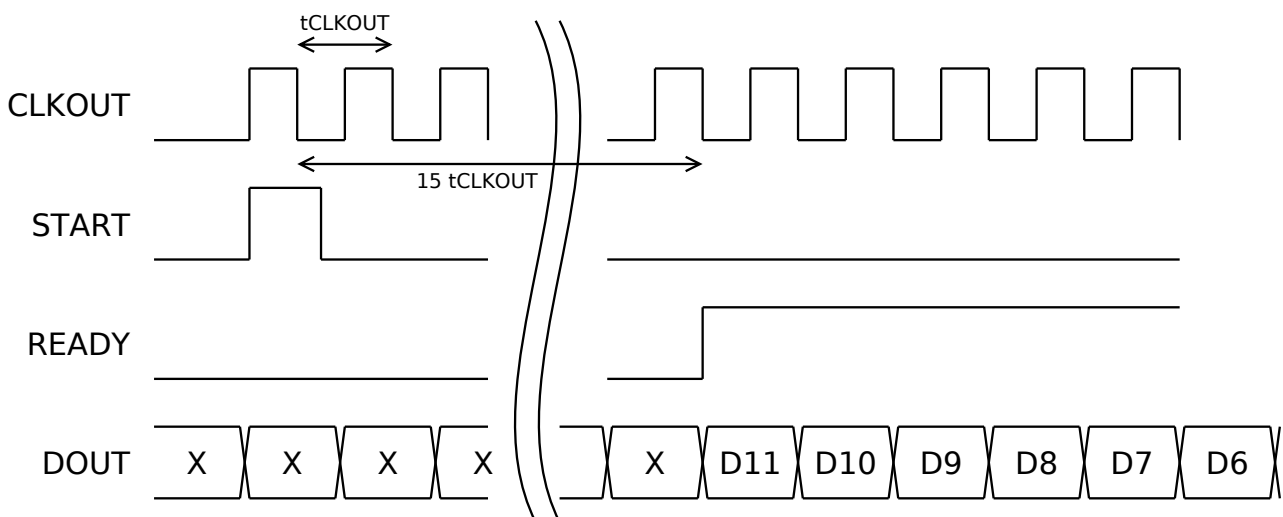


Рисунок 20. Временная диаграмма 12-ти разрядного АЦП

Таблица 27. Электрические параметры АЦП

Наименование параметра, единица измерения	Норма параметра			Температура
	не менее	типовое	не более	
Разрешающая способность, бит	12			+25 °C – 60 °C...125 °C
Максимальная частота выборки, Мвыб./с	1,2			+25 °C – 60 °C...125 °C
Тактовая частота для частоты выборки 1МГц, МГц		16		+25 °C – 60 °C...125 °C
Дифференциальная нелинейность, МЗР	–0,9 –1,0		0,9 1,0	+25 °C – 60 °C...125 °C
Интегральная нелинейность, МЗР	–4,0 –5,0		4,0 5,0	+25 °C – 60 °C...125 °C
Динамический диапазон, свободный от гармонических искажений (SFDR), дБ		62		+25 °C – 60 °C...125 °C
Смещение нуля, мВ			20	+25 °C – 60 °C...125 °C
Температурный дрейф смещения нуля, мкВ/°C		10		+25 °C – 60 °C...125 °C
Шум приведенный ко входу, МЗРrms			1,6	+25 °C – 60 °C...125 °C
Эффективное число бит (ENOB), бит		9,5		+25 °C – 60 °C...125 °C
Полоса пропускания входного сигнала, МГц		50		+25 °C – 60 °C...125 °C
Входная емкость, пФ		4		+25 °C – 60 °C...125 °C
Напряжение питания (VDDA), В		5,0		+25 °C – 60 °C...125 °C
Потребляемая мощность, при VDDA = 5 В, мВт		20		+25 °C – 60 °C...125 °C
Напряжение полной шкалы, при Vref = 2,5 В, В		2,5		+25 °C – 60 °C...125 °C

