

**Техническое описание
программируемой аналого-цифровой микросхемы
5400TP094**

Оглавление

ВВЕДЕНИЕ	3
Общее описание	3
Функциональное назначение выводов.....	5
Электростатическая защита.....	9
Предельно-допустимые и предельные режимы эксплуатации	9
ПРОГРАММИРУЕМЫЙ ЦИФРОВОЙ БЛОК	10
Общее описание	10
Электрические характеристики	11
ПРОГРАММИРУЕМЫЙ АНАЛОГОВЫЙ БЛОК	12
Универсальный усилительный блок	12
Программируемый блок пассивных компонентов	14
Блок свободной конфигурации.....	15
Блок на переключаемых конденсаторах.....	17
ПРОГРАММИРУЕМЫЙ АНАЛОГО-ЦИФРОВОЙ БЛОК	18
Блок ЦАП программируемой разрядности	18
Блок АЦП программируемой разрядности	19
Последовательный периферийный интерфейс	20
Последовательный периферийный интерфейс ведомый	21
ПЕРИФЕРИЯ	22
Блок аналогового ввода-вывода	22
Блок цифрового ввода-вывода	22
Высоковольтные выходные площадки	22
Входной и выходной буферы для блока на ПК	23
Линейные регуляторы и источники опорного напряжения	23
Драйвер силового ключа	23
ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ	24

ВВЕДЕНИЕ

Общее описание

Микросхема 5400TP094 предназначена для реализации аналоговых и аналого-цифровых интегральных схем путем электрического программирования коммутации между встроенными блоками. Программирование проводится на стороне пользователя.

Микросхема имеет два режима работы:

- режим отладки с возможностью многократного перепрограммирования (режим SOFT);
- режим финальной конфигурации с записью в энергонезависимую память (режим HARD).

Микросхема 5400TP094 состоит из 3 основных частей: программируемая цифровая часть, аналого-цифровой интерфейс и программируемая аналоговая часть.

Программируемая цифровая часть содержит логические элементы и ячейки хранения состояния данных, а также универсальный последовательный SPI интерфейс для прямого управления АЦП и ЦАП. Проектирование осуществляется на языке Verilog.

Аналого-цифровой интерфейс обеспечивает взаимосвязь аналоговой и цифровой части микросхемы. В своем составе имеет 2 АЦП и 2 ЦАП программируемой разрядности (8, 10, 12 и 14 бит), аналоговые мультиплексоры и демультимплексоры, а также регистры хранения данных для последовательного и параллельного вывода.

Входные сигналы на АЦП и выходные сигналы ЦАП подаются через внешние аналоговые контактные площадки, что повышает универсальность микросхемы. Выходы аналоговых мультиплексоров также идут на внешние площадки. Входы и выходы аналого-цифрового интерфейса интегрированы с программируемой аналоговой частью.

Программируемая аналоговая часть состоит из универсальных усилительных блоков, схем на переключаемых конденсаторах, блоков пассивных компонентов и модулей свободной конфигурации для проектирования узлов с произвольной электрической схемой на уровне отдельных транзисторов, резисторов и конденсаторов. Также в состав аналоговой части входят драйверы силовых ключей.

Каждая часть имеет свои выделенные шины земли и питания.

В состав микросхемы входит источник опорного напряжения с выходным напряжением 2 В. Для формирования внутреннего напряжения питания ядра используется линейный регулятор напряжения. Структурная схема микросхемы приведена на рисунке 1.

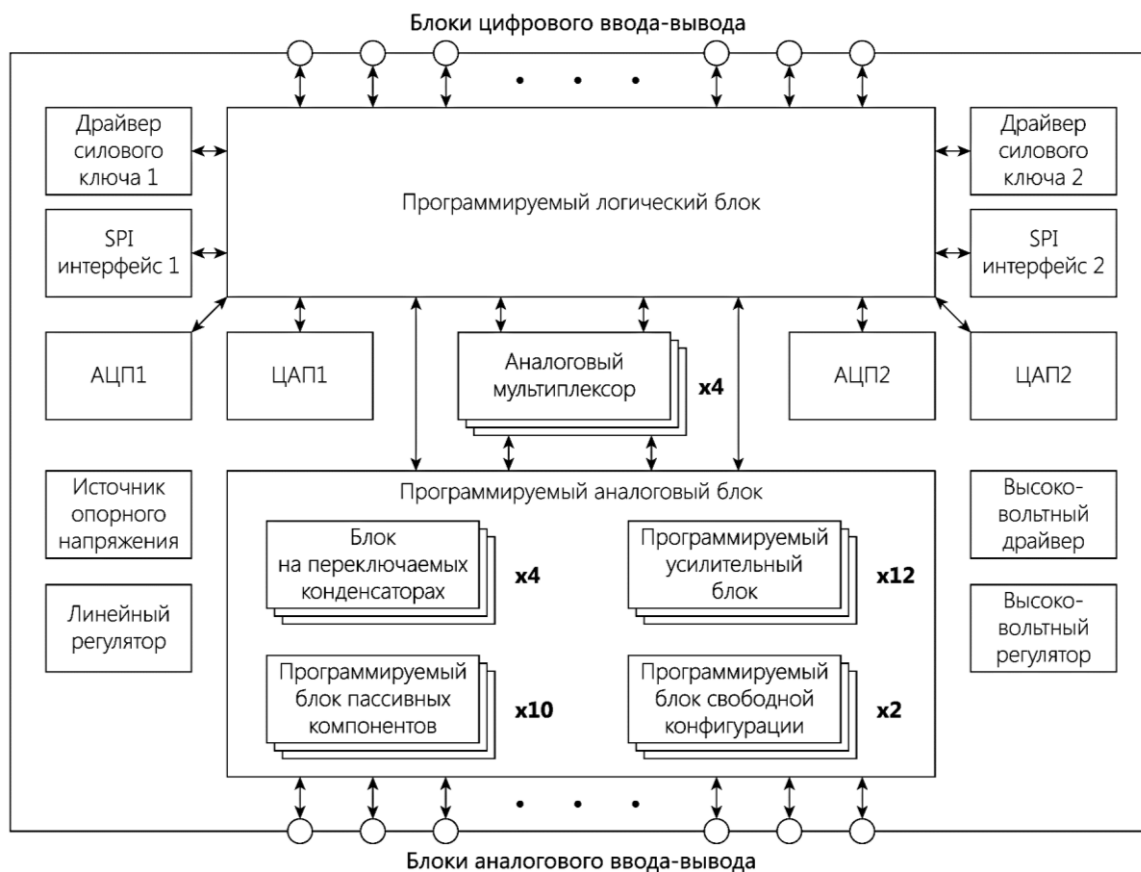


Рисунок 1. Структурная схема

Микросхема выполнена по КМОП КНИ технологическому процессу и размещается в 144-выводном металлокерамическом корпусе 4248.144-1. Возможна поставка кристаллов в бескорпусном исполнении.

Напряжение питания микросхемы $U_{cc} = (V_{DDA} - V_{SSA}) = 5 \text{ В} \pm 10\%$. Возможно использование двухполярного питания. Диапазон входного напряжения сигналов от V_{SSA} до V_{DDA} . Температурный диапазон работы от -60 до $+85^\circ\text{C}$. Микросхема отличается высокой стойкостью к специальным воздействующим факторам, в том числе в условиях космического пространства (гарантированное отсутствие отказов при воздействии тяжелых заряженных частиц, стойкость к накопленной дозе), и высокой надежностью – наработка на отказ в облегченных режимах составляет не менее 160 000 часов.

Функциональное назначение выводов

Таблица 1. Функциональное описание выводов микросхемы

№	Наименование вывода	Назначение вывода
1	VSSA	Общий вывод аналоговой части
2	AP7	Аналоговая площадка ввода-вывода 7
3	REF2OUT	Выход ИОН 2В
4	GAL1	Глобальная шина 1 аналоговой части
5	AP8	Аналоговая площадка ввода-вывода 8
6	GAL2	Глобальная шина 2 аналоговой части
7	VDD1V8OUT	Выход регулятора напряжения 1,8 В
8	VDDAEXT	Вход встроенных регуляторов напряжения
9	VDDAOUT	Выход регулятора напряжения 5 В
10	VDDA	Вывод питания аналоговой части
11	AP9	Аналоговая площадка ввода-вывода 9
12	GAL3	Глобальная шина 3 аналоговой части
13	GAL4	Глобальная шина 4 аналоговой части
14	REFPSW	Вывод верхнего опорного напряжения на ПК
15	VDDASW	Вывод питания блоков на ПК
16	VSSA	Общий вывод аналоговой части
17	HVOUT1	Высоковольтный аналоговый выход 1
18	V10VA	Вход напряжения питания 10 В
19	LDO5VOUT	Вход высоковольтного регулятора напряжения 5 В
20	HVOUT2	Высоковольтный аналоговый выход 2
21	VSSA	Общий вывод аналоговой части
22	VSSASW	Общий вывод питания блоков на ПК
23	REFNSW	Вывод нижнего опорного напряжения на ПК
24	CMLSW	Вывод средней точки опорного напряжения на ПК
25	GAL5	Глобальная шина 5 аналоговой части
26	AP10	Аналоговая площадка ввода-вывода 10
27	GAL6	Глобальная шина 6 аналоговой части
28	VDDA	Вывод питания аналоговой части
29	INTHV1	Вход 1 высоковольтного аналогового драйвера
30	INTHV2	Вход 2 высоковольтного аналогового драйвера
31	GAL7	Глобальная шина 7 аналоговой части
32	AP11	Аналоговая площадка ввода-вывода 11
33	GAL8	Глобальная шина 8 аналоговой части
34	VBA	Вывод установки тока считывания памяти аналоговой части
35	AP12	Аналоговая площадка ввода-вывода 12
36	VSSA	Общий вывод аналоговой части
37	VDDOTPA	Вывод напряжения питания ячейки памяти аналоговой

№	Наименование вывода	Назначение вывода
		части
38	AP13	Аналоговая площадка ввода-вывода 13
39	SFTA	Вход установки режима программирования через ОЗУ аналоговой части
40	AP14	Аналоговая площадка ввода-вывода 14
41	AP15	Аналоговая площадка ввода-вывода 15
42	VDDA	Вывод питания аналоговой части
43	VSSA	Общий вывод аналоговой части
44	PRA	Вывод для программирования ПЗУ аналоговой части
45	AP16	Аналоговая площадка ввода-вывода 16
46	MUX4	Выход аналогового мультиплексора 4
47	MUX3	Выход аналогового мультиплексора 3
48	INADC2	Вход АЦП 2
49	AP17	Аналоговая площадка ввода-вывода 17
50	AP18	Аналоговая площадка ввода-вывода 18
51	OUTDAC2	Выход ЦАП 2
52	VRPDAC2	Верхнее опорное напряжение ЦАП 2
53	VRPADAC2	Верхнее опорное напряжения АЦП 2
54	VRMADC2	Нижнее опорное напряжения АЦП 2
55	VRMDAC2	Нижнее опорное напряжение ЦАП 2
56	VSSAD	Общий вывод питания смешанной части
57	VDDAD	Вывод питания смешанной части
58	CLKSW	Вход опорной тактовой частоты на ПК
59	VBD	Вывод установки тока считывания памяти цифровой части
60	vdd	Вывод питания цифровой части
61	gnd	Общий вывод цифровой части
62	gnd	Общий вывод цифровой части
63	PDP10V2	Выход 2 драйвера силового ключа
64	VDD10VDP	Вывод питания драйвера силового ключа
65	VDD10VDP	Вывод питания драйвера силового ключа
66	PDP10V1	Выход 1 драйвера силового ключа
67	gnd	Общий вывод цифровой части
68	VDD5VRD	Вывод питания буферов цифровой части
69	SSSPI	Сигнал Slave Select (Chip Select) SPI блок в режиме Master output, в режиме Slave input
70	SCKSPI	SCK-тактовый сигнал общения Master и Slave для SPI, в режиме Master output; в режиме Slave input
71	MOSISPI	Master output Slave input (SPI), в режиме Master output, в режиме Slave input
72	MISOSPI	Master input Slave output (SPI), в режиме Master input, в

№	Наименование вывода	Назначение вывода
		режиме Slave output
73	RSTSPI	Вход сброса SPI-интерфейса
74	STARTSPI	Start SPI в режиме Master
75	CLKEXTSPI	Тактовый сигнал для блока SPI (возможно внешнее подключение к тактовому сигналу ПЛИС)
76	FPGACLK4	Глобальный тактовый сигнал 4 ПЛИС
77	FPGACLK3	Глобальный тактовый сигнал 3 ПЛИС
78	vdd	Вывод питания цифровой части
79	PRD	Вывод для программирования ПЗУ цифровой части
80	gnd	Общий вывод цифровой части
81	DIO17	Цифровой вход/выход 17
82	DIO16	Цифровой вход/выход 16
83	DIO15	Цифровой вход/выход 15
84	DIO14	Цифровой вход/выход 14
85	DIO13	Цифровой вход/выход 13
86	DIO12	Цифровой вход/выход 12
87	DIO11	Цифровой вход/выход 11
88	DIO10	Цифровой вход/выход 10
89	DIO9	Цифровой вход/выход 9
90	VDD5VDR	Вывод питания буферов цифровой части
91	VDDOTP	Вывод напряжения питания ячейки памяти цифровой части
92	SFTD	Вход установки режима программирования через ОЗУ цифровой части
93	HRDD	Вход напряжения считывания ПЗУ цифровой части
94	DIO8	Цифровой вход/выход 8
95	DIO7	Цифровой вход/выход 7
96	DIO6	Цифровой вход/выход 6
97	DIO5	Цифровой вход/выход 5
98	DIO4	Цифровой вход/выход 4
99	DIO3	Цифровой вход/выход 3
100	DIO2	Цифровой вход/выход 2
101	DIO1	Цифровой вход/выход 1
102	DIO0	Цифровой вход/выход 0
103	gnd	Общий вывод цифровой части
104	PRD	Вывод для программирования ПЗУ цифровой части
105	vdd	Вывод питания цифровой части
106	FPGACLK2	Глобальный тактовый сигнал 2 ПЛИС
107	FPGACLK1	Глобальный тактовый сигнал 1 ПЛИС
108	FPGARST	Вход сброса ПЛИС
109	C1FPGA	Тактовый сигнал 1 программирования ПЛИС

№	Наименование вывода	Назначение вывода
110	C2FPGA	Тактовый сигнал 2 программирования ПЛИС
111	DINFPGA	Вход данных программирования ПЛИС
112	ENFPGA	Вход разрешения записи/считывания при программировании ПЛИС
113	READFPGA	Вход разрешения считывания ПЗУ ПЛИС
114	DOUTFPGA	Выход данных считывания ПЗУ ПЛИС
115	DOUTG	Выход данных считывания ПЗУ
116	C1G	Тактовый сигнал 1 программирования
117	C2G	Тактовый сигнал 2 программирования
118	DING	Вход данных программирования
119	ENG	Вход разрешения записи/считывания при программировании
120	READG	Вход разрешения считывания ПЗУ
121	DOUTU	Выход данных считывания ПЗУ пользовательской информации
122	gnd	Общий вывод цифровой части
123	vdd	Вывод питания цифровой части
124	VDDAD	Вывод питания смешанной части
125	VSSAD	Общий вывод питания смешанной части
126	VRMDAC1	Нижнее опорное напряжение ЦАП 1
127	VRMADC1	Нижнее опорное напряжения АЦП 1
128	VRPADC1	Верхнее опорное напряжения АЦП 1
129	VRPDAC1	Верхнее опорное напряжение ЦАП 1
130	OUTDAC1	Выход ЦАП 1
131	AP1	Аналоговая площадка ввода-вывода 1
132	AP2	Аналоговая площадка ввода-вывода 2
133	INADC1	Вход АЦП 1
134	MUX1	Выход аналогового мультиплексора 1
135	MUX2	Выход аналогового мультиплексора 2
136	AP3	Аналоговая площадка ввода-вывода 3
137	PRA	Вывод для программирования ПЗУ аналоговой части
138	VSSA	Общий вывод аналоговой части
139	VDDA	Вывод питания аналоговой части
140	AP4	Аналоговая площадка ввода-вывода 4
141	AP5	Аналоговая площадка ввода-вывода 5
142	HRDA	Вывод напряжения считывания ПЗУ аналоговой части
143	AP6	Аналоговая площадка ввода-вывода 6
144	VDDOTPA	Вывод напряжения питания ячейки памяти аналоговой части

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно- допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, В	3,15	5,5	-0,3	5,8
Входное напряжение низкого уровня для цифровых сигналов, В	VSSA - 0,3	1,0	VSSA - 0,5	-
Входное напряжение высокого уровня для цифровых сигналов, В	VDDA - 0,7	VDDA + 0,3	-	VDDA + 0,5
Диапазон входного напряжения сигналов, В	VSSA	VDDA	VSSA - 0,5	VDDA + 0,3
Температура среды, °С	-60	85	-60	125

ПРОГРАММИРУЕМЫЙ ЦИФРОВОЙ БЛОК

Общее описание

Программируемый цифровой блок (ПЦБ) предназначен для реализации цифровых схем путем электрического программирования на стороне пользователя.

Состав программируемого цифрового блока:

- логические блоки, реализующие логические функции;
- трассировка, осуществляющая коммутацию внутри ПЦБ;
- блоки ввода/вывода.

Обобщенная структурная схема ПЦБ показана на рисунке 1. Программируемые логические блоки (ПЛБ) размещены в регулярной структуре. Между блоками проложены шины программируемой межблочной трассировки. В узлах шин трассировки расположены блоки переключений (БП) и блоки соединений (БС). Блоки ввода/вывода (БВВ) расположены по периферии кристалла: обеспечивают связь блока с контактными площадками микросхемы и с аналоговой частью микросхемы.

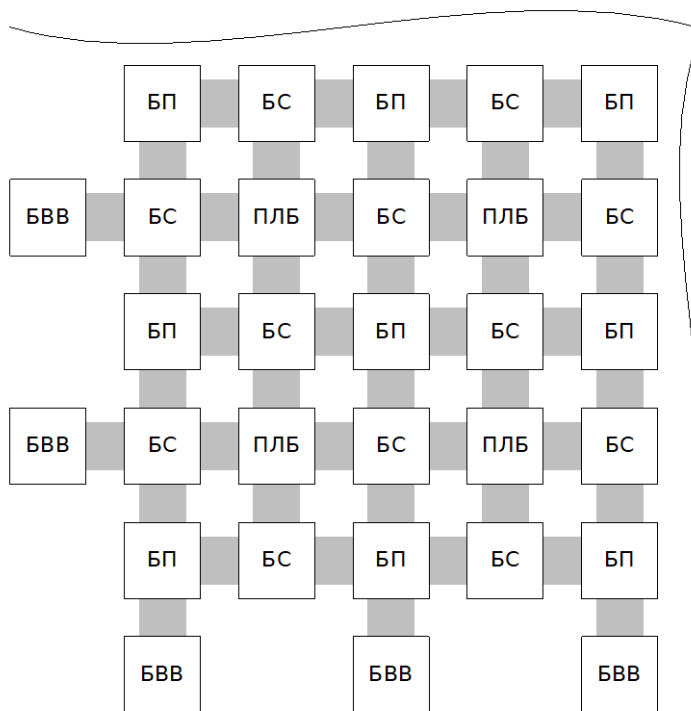


Рисунок 2. Фрагмент архитектуры программируемого цифрового блока

Электрические характеристики

Таблица 3. Электрические характеристики программируемого цифрового блока

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Тактовая частота, МГц			5
Напряжение питания цифрового ядра, В	1,62	1,8	1,98
Входное напряжение логической «1», В			
Входное напряжение логического «0», В			
Выходное напряжение логической «1», В			
Выходное напряжение логического «0», В			
Ток утечки логической «1» (Входной ток высокого уровня), мкА			
Ток утечки логического «0» (Входной ток низкого уровня), мкА			
Входная емкость I/O, пФ			
Входная емкость CLK, пФ			

ПРОГРАММИРУЕМЫЙ АНАЛОГОВЫЙ БЛОК

Универсальный усилительный блок

Универсальный усилительный блок состоит из настраиваемых резисторов, настраиваемых конденсаторов и конфигурируемого активного усилительного блока.

Конфигурируемый активный усилительный блок содержит составляющие, коммутация которых позволяет строить следующие комбинации блоков:

- 1) один или два однокаскадных ОУ с токовым выходом;
- 2) один или два двухкаскадных ОУ;
- 3) один или два компаратора;
- 4) пары элементов, составляющих комбинацию вариантов 1-3;
- 5) двухкаскадный полностью дифференциальный ОУ.

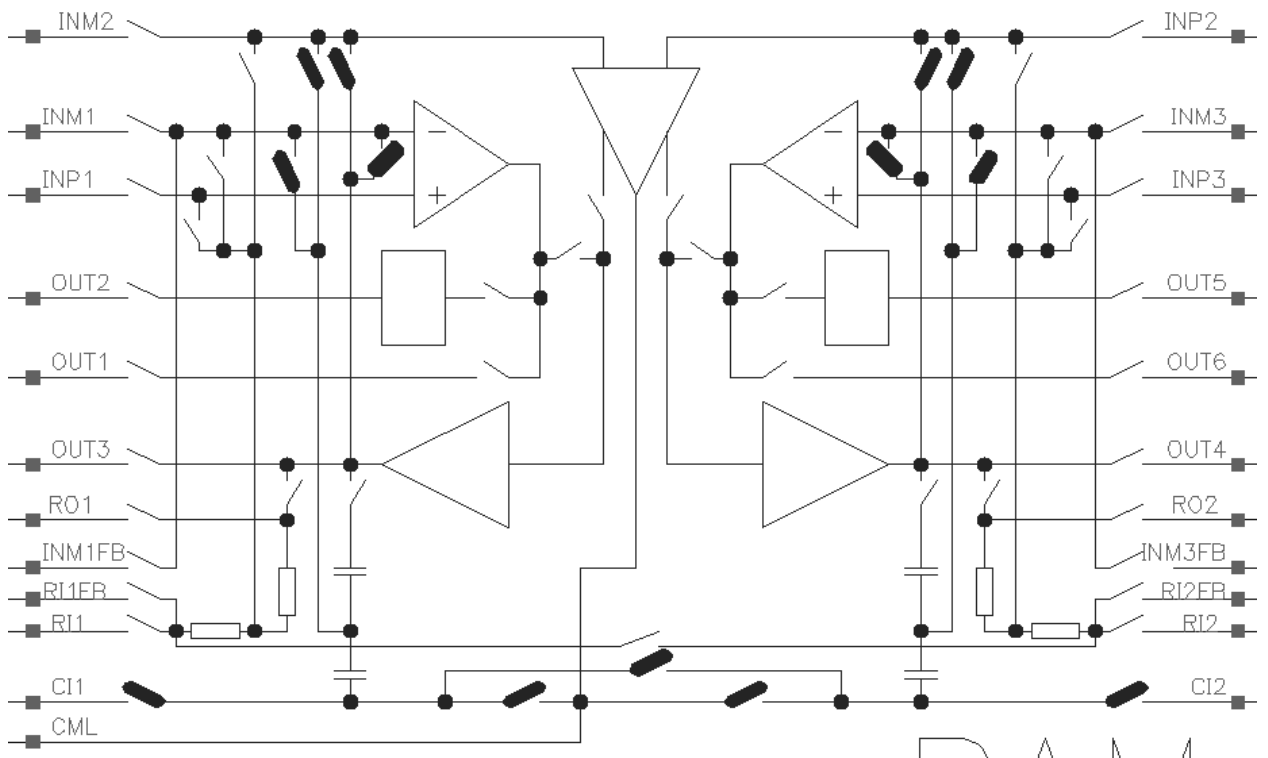


Рисунок 3. Символ универсального усилительного блока

Универсальный усилительный блок позволяет строить дифференциальные усилители как непрерывного действия, так и дискретные (на конденсаторах) с настраиваемым коэффициентом усиления. Блок обеспечивает возможность построения двух независимых компараторов как с гистерезисом, так и без гистерезиса. Блок позволяет строить на своей основе фильтры первого порядка нижних и верхних частот, усилители выборки-хранения и двойной коррелированной выборки, интеграторы и дифференциаторы.

Ключи, выделенные жирной линией, имеют возможность как статического (память OTP), так и динамического (из программируемого цифрового блока) управления. Остальные ключи имеют только статическое управление.

Блок также обеспечивает возможность чоппер-стабилизации входных каскадов и настройку смещения нуля путем программирования.

Таблица 4. Электрические характеристики универсального усилительного блока (температурный диапазон от – 60 до +85°C)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Коэффициент усиления, дБ	60	100	
Напряжение смещения, мВ	–20	1,5	20
Задержка переключения компаратора, мкс		0,2	0,5
Входной ток, нА		0,1	10
Диапазон входного напряжения, В	0,5		3,0
Диапазон выходного напряжения, В	VSSA		VDDA– 0,1
Входное сопротивление, МОм	1000		
Частота единичного усиления, МГц		2	
Скорость нарастания выходного напряжения, В/мкс		2	

Программируемый блок пассивных компонентов

Состав блока:

- 2 программируемых резистора (сопротивление резистора от 100 кОм до 500 кОм с шагом 100 кОм);
- 2 конденсатора (7,8 пФ);
- 2 тактируемых аналоговых ключа;
- 4 вывода «земли»;
- 4 вывода питания.

Управление аналоговыми ключами может вестись как из аналоговой части (выводы PL19 – PL21, PR19 – PR21), так и из цифровой части (выводы SW1_ext, SW2_ext).

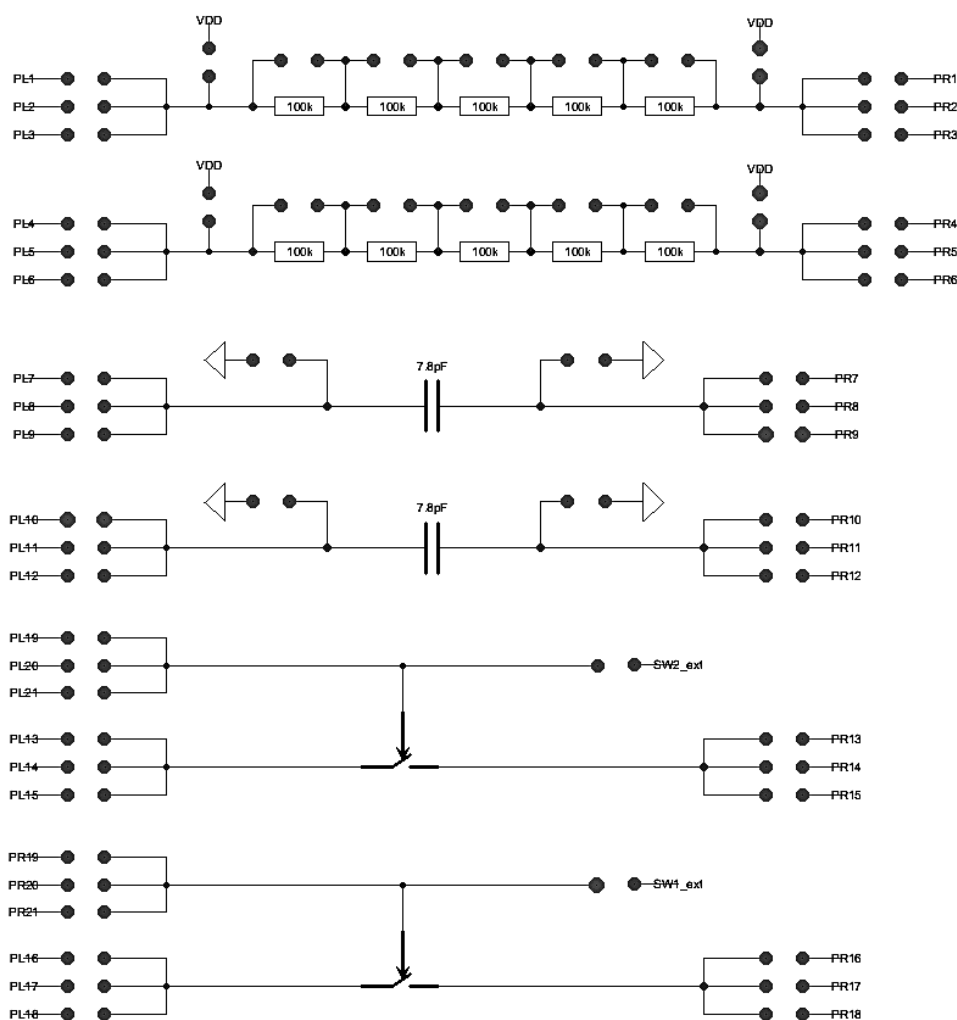


Рисунок 4. Схема программируемого блока пассивных компонентов

Допустимое отклонение номиналов пассивных компонентов в пределах одной микросхемы обусловлено технологией изготовления и составляет не более 1%.

Блок свободной конфигурации

Блок свободной конфигурации состоит из 4-х однотипных частей и симметричен относительно центра схемы. В каждой четверти квадрата расположено ядро (блок 3 на рисунке 5), в котором находятся резисторы, конденсаторы и МОП-транзисторы для свободной коммутации; четыре растроителя (блок 2) для большей гибкости коммутации; четыре коммутационных блока (блок 1), которые осуществляют взаимодействие между всеми ядрами квадрата и вывод шин из блока.

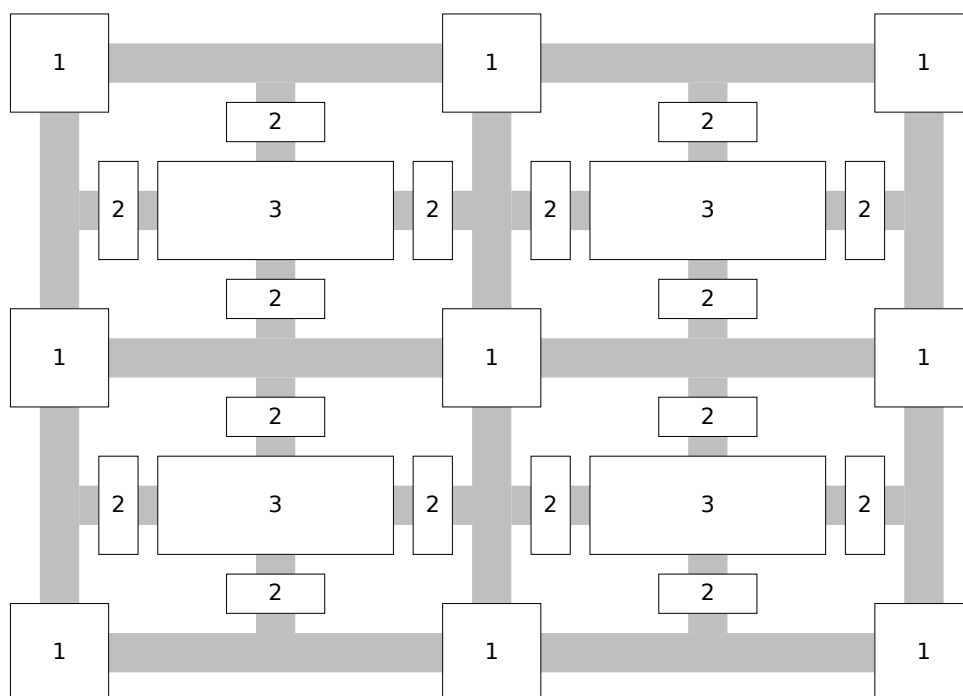


Рисунок 5. Схема сборки блока SPM

Ядро блока SPM состоит из двух р-канальных МОП-транзисторов; двух п-канальных МОП-транзисторов; двух конденсаторов емкостью 1 пФ; четырех резисторов по 100 кОм (с выводом средней точки между соседними резисторами); 6 общих выводов; 6 выводов питания; набор коммутационных ключей сопротивлением 100 Ом.

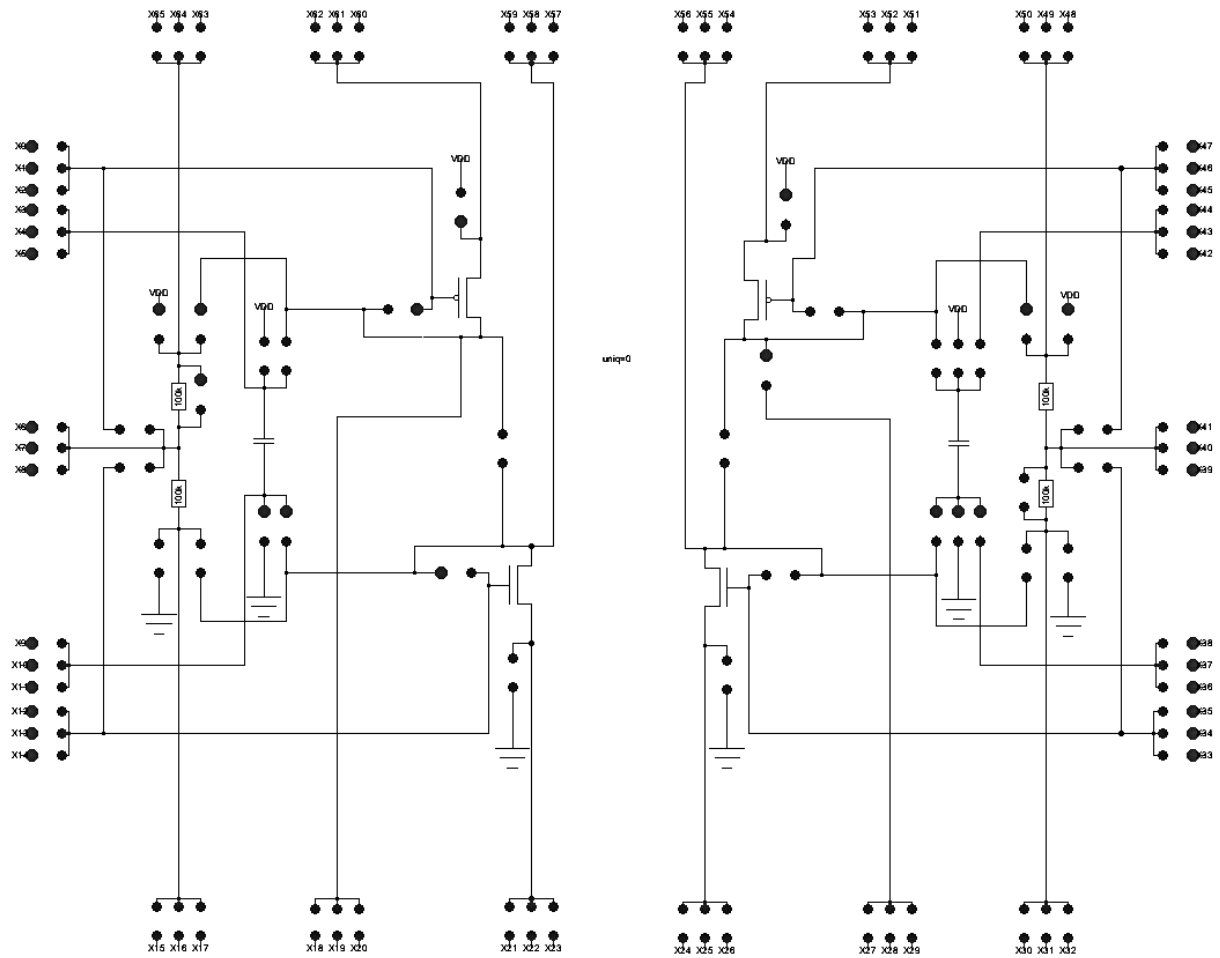


Рисунок 6. Ядро блока SPM

Настраиваемый МОП представляет из себя 4 транзистора с одинаковыми параметрами, соединенных истоками и затворам. Стоки транзисторов соединяются в зависимости от входного кода, тем самым изменяя ширину такого составного транзистора и напрямую влияя на его характеристики.

Блок на переключаемых конденсаторах

Блок на переключаемых конденсаторах содержит в своем ядре 4 настраиваемых аналоговых блока (НАБ). Обработка аналогового сигнала выполняется в полностью дифференциальном виде.

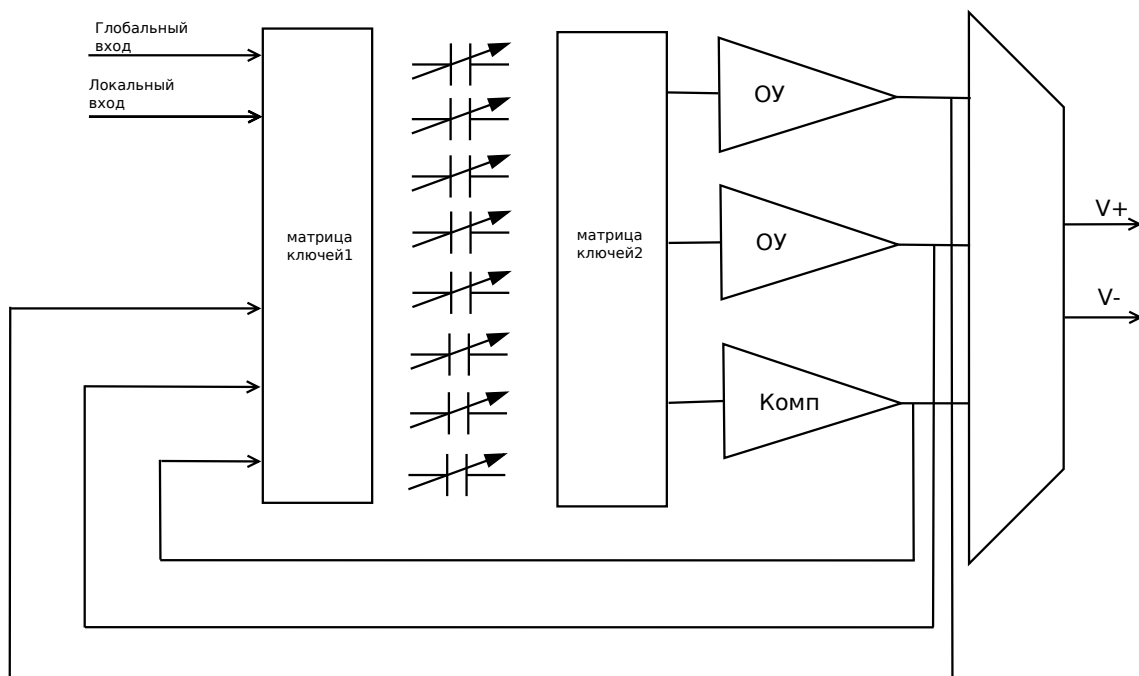


Рисунок 7. Структурная схема настраиваемого аналогового блока (НАБ)

Каждый НАБ имеет в своем составе матрицы ключей, программируемые конденсаторы, 2 операционных усилителя и компаратор.

Каждый блок ПК позволяет реализовать функции фильтрации, сигма-дельта модуляции первого или второго порядка. Поскольку в составе микросхемы таких блоков 4, то достижима фильтрация вплоть до 8-го порядка.

ПРОГРАММИРУЕМЫЙ АНАЛОГО-ЦИФРОВОЙ БЛОК

Блок ЦАП программируемой разрядности

Блок ЦАП имеет R2R архитектуру с сегментированием старших разрядов.

В схеме исключен регистр защелки данных для повышения универсальности блока ЦАП. К выходу ЦАП подключен блок коррекции тока шага ступеньки.

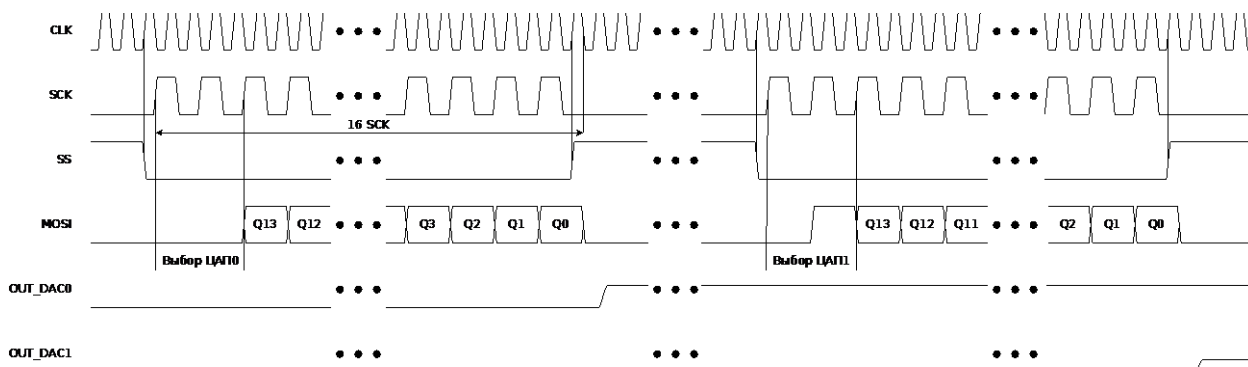


Рисунок 8. Временная диаграмма работы ЦАП

Таблица 5. Электрические параметры блока ЦАП программируемой разрядности (температурный диапазон от – 60 до +85°C)

Наименование параметра, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрешающая способность, бит	14		
Время преобразования, мкс			0,2
Дифференциальная нелинейность, МЗР	–1,0		1,0
Интегральная нелинейность, МЗР	–5,0		5,0

Блок АЦП программируемой разрядности

На основе блока ЦАП построен АЦП последовательного приближения путем подключения регистра последовательного приближения и компаратора со встроенным пассивным УВХ.

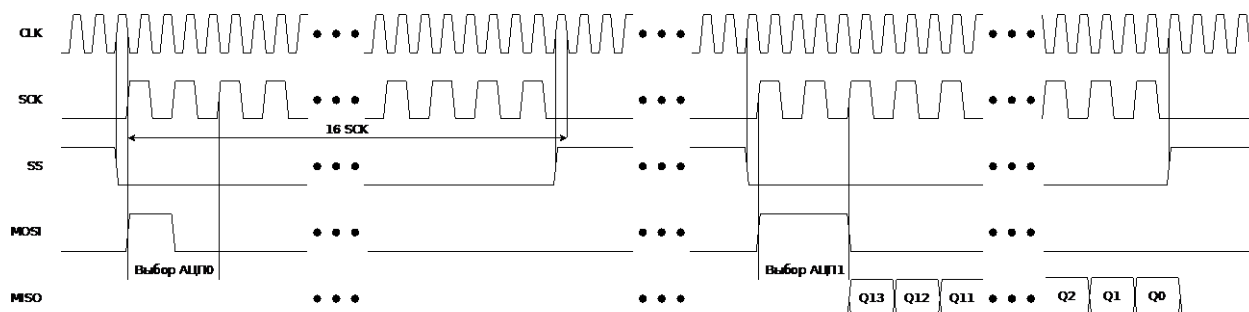


Рисунок 9. Временная диаграмма работы АЦП

Таблица 6. Электрические параметры блока АЦП программируемой разрядности (температурный диапазон от – 60 до +85°C)

Наименование параметра, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрешающая способность, бит	14		
Частота дискретизации, МВыб/с			1
Дифференциальная нелинейность, МЗР	–1,0		1,0
Интегральная нелинейность, МЗР	–5,0		5,0

Последовательный периферийный интерфейс

Последовательный периферийный интерфейс (ППИ) позволяет коммутировать ПЦБ с другими устройствами через SPI стандарт. Разработанный интерфейс коммутируется через 16 битные шины DIN<15:0> и DOUT<15:0>.

Таблица 7. Назначения выводов ППИ

Наименование вывода	Назначение вывода
SS	Сигнал Slave Select (Chip Select) SPI блока (в режиме Master – выход, в режиме Slave – вход)
SCK	Тактовый сигнал общения Master и Slave для SPI (в режиме Master – выход, в режиме Slave – вход)
MOSI	Master output Slave input (SPI) (в режиме Master – выход, в режиме Slave – вход)
MISO	Master input Slave output (SPI) (в режиме Master – вход, в режиме Slave – выход)
START	START (входной сигнал для SPI в режиме Master)
CLK	Тактовый сигнал для блока SPI
RESET	Вход сброса SPI-интерфейса
DIN<15:0>	Шина коммутации с ПЛИС
DOUT<15:0>	Шина коммутации с ПЛИС
SPO	Выбор режима работы SPI
SPH	Выбор режима работы SPI
SELECT_M	Выбор работы SPI в режиме Master
SELECT_S	Выбор работы SPI в режиме Slave
N_BITS	Выбор разрядности SPI

Особенности работы блока ППИ:

- может работать как ведущий, так и ведомый (программируется сигналами SELECT_M и SELECT_S);

- работает во всех четырех стандартных режимах (режим выбирается конфигурацией SPO и SPH);

- возможность выборки разрядности интерфейса 8 бит/16 бит (N_BITS);

- в режиме работы как ведомый возможность выбора частоты сигнала SCK (CLK/2, CLK/4 и CLK/8);

- тактовый сигнал CLK можно подавать как внешне, так и один из 4 глобальных тактовых сигналов ПЛИС;

- сигнал сброса можно подавать как внешне, так и с глобального сброса ПЦБ.

Последовательный периферийный интерфейс ведомый

Последовательный периферийный интерфейс ведомый (SPI Slave) – четырехканальный ППИ интерфейс, который работает только как ведомый в одном режиме.

Блок предназначен для коммутации двух ЦАП и двух АЦП аналого-цифровой части с внешними контактными площадками без подключения к ПЦБ.

Таблица 8. Назначения выводов ППИ ведомый

Наименование вывода	Назначение вывода
SS	Сигнал Slave Select (Chip Select)
SCK	Тактовый сигнал общения Master и Slave
MOSI	Master output Slave input (SPI)
MISO	Master input Slave output (SPI)
CLK	Тактовый сигнал для блока SPI
RST	Вход сброса SPI-интерфейса
READY0X	Сигнал готовности данных на выходе АЦП1
READY1X	Сигнал готовности данных на выходе АЦП2
START0X	Сигнал пуска преобразования АЦП1
START1X	Сигнал пуска преобразования АЦП2
DADC0X<13:0>	Выходные данные АЦП1
DADC1X<13:0>	Выходные данные АЦП2
DDAC0<13:0>	Входной код ЦАП1
DDAC1<13:0>	Входной код ЦАП2

При работе с АЦП после переключения сигнала SS в «1» формируется сигнал пуска преобразования. По готовности данные записываются в регистр. По следующему обращению ведомого устройства выдается 16-ти битный код, из которых 2 старших бита определяют устройство (АЦП1 или АЦП2), а младшие 14 бит – преобразованный код АЦП.

При работе с ЦАП после переключения сигнала SS в «1» подается 16-ти битный код: 2 старших разряда определяют устройство (ЦАП1 или ЦАП2), 14 младших разрядов поступают на вход выбранного ЦАП. ЦАП не меняет свое значения до следующего обращения.

ПЕРИФЕРИЯ

Блок аналогового ввода-вывода

Для связи ядра микросхемы с контактными площадками по периферии кристалла расположены 18 площадок аналогового ввода-вывода (AP1 – AP18).

Блок позволяет выполнять следующие функции:

- Передать на выход цифровой сигнал через цифровой буфер;
- Подключить к площадке глобальную шину с помощью низкоомных ключей;
- Подключить к площадке локальную шину;
- Передать на выход аналоговый сигнал через аналоговый буфер с нагрузочной способностью до 20 мА;
- Передать на выход аналоговый сигнал, усиленный в 2 раза.

Блок цифрового ввода-вывода

Для связи программируемого цифрового блока с контактными площадками микросхема содержит 18 блоков цифрового ввода-вывода (DI00 – DI017).

Блок цифрового ввода-вывода обеспечивают трансляцию уровней логического сигнала между выводом площадки и внутренними уровнями программируемого цифрового блока (1,8 В). Диапазон уровня логической «1» на площадке может лежать в пределах от 1,8 В до 5,0 В. Блок также позволяет программировать нагрузочную способность (от 5 до 300 мА) или отключение площадки (переход в высокоимпедансное состояние).

Высоковольтные выходные площадки

Микросхема содержит две высоковольтные выходные аналоговые площадки (HVOUT1, HVOUT2), которые обеспечивает возможность работы с выходным напряжением до 10 В. Нагрузочная способность буфера 300 мА.

Входной и выходной буферы для блока на ПК

Для блока на ПК с целью повышения полосы пропускания предусмотрена возможность подачи входного сигнала через специальный буфер, который представляет собой УВХ. Управление тактированием блока сопряжено с блоком на ПК.

Выходной буфер хранит предыдущее напряжение на выходе в фазе выборки входного сигнала. В выходном буфере имеется две независимые группы конденсаторов, которые поочередно либо заряжаются, либо обеспечивают хранение сигнала совмещая фазу выборки и хранения одновременно.

Линейные регуляторы и источники опорного напряжения

Микросхема в своем составе имеет набор линейных регуляторов с выходным напряжением 5 В и 1,8 В.

В состав микросхемы входит источник опорного напряжения 1 В.

Драйвер силового ключа

Для обеспечения возможности управления силовыми ключами, в микросхеме имеются два драйвера силовых ключей, которые управляются цифровой частью.

Драйвер обеспечивает выходной ток не менее 300 мА при амплитуде выходного напряжения более 9 В. Драйвер построен с использованием стековых силовых транзисторов с защитой от протекания сквозного тока.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

Дата	Версия	Изменения
17.05.2019	0.1	Исходная версия