

Назначение, краткое описание

Микросхема выполнена в 28-выводном металлокерамическом корпусе МК 5123.28-1 и представляет собой 2-ух каналный 12-ти разрядный аналого-цифровой преобразователь (АЦП) последовательного приближения с последовательным интерфейсом выходных данных.

Основные эксплуатационные характеристики микросхемы:

- Напряжение питания 5 В \pm 10%;
- Частота дискретизации до 500 квыб./с;
- Ток потребления 20 мА;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$;
- Нарботка на отказ 100 000 часов;
- Стойкость к СВВФ;
- Диапазон входных напряжений 1) от 0 В до +2,5 В;
 2) от $-2,5$ В до +2,5 В;
 3) от -5 В до +5 В;
 4) от -10 В до +10 В.

Структурная схема

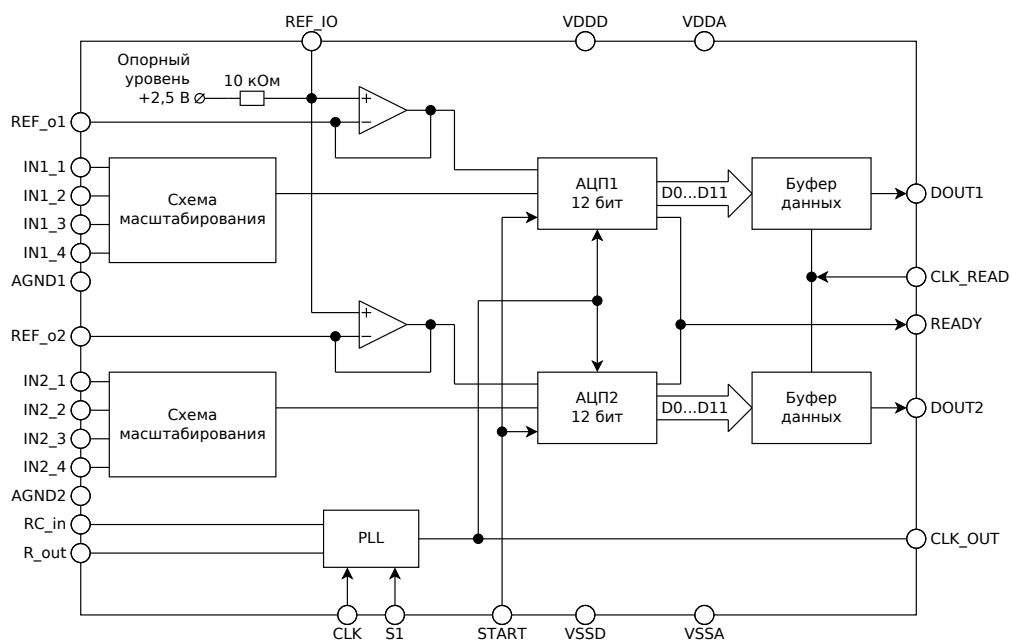


Рисунок 1. Структурная схема

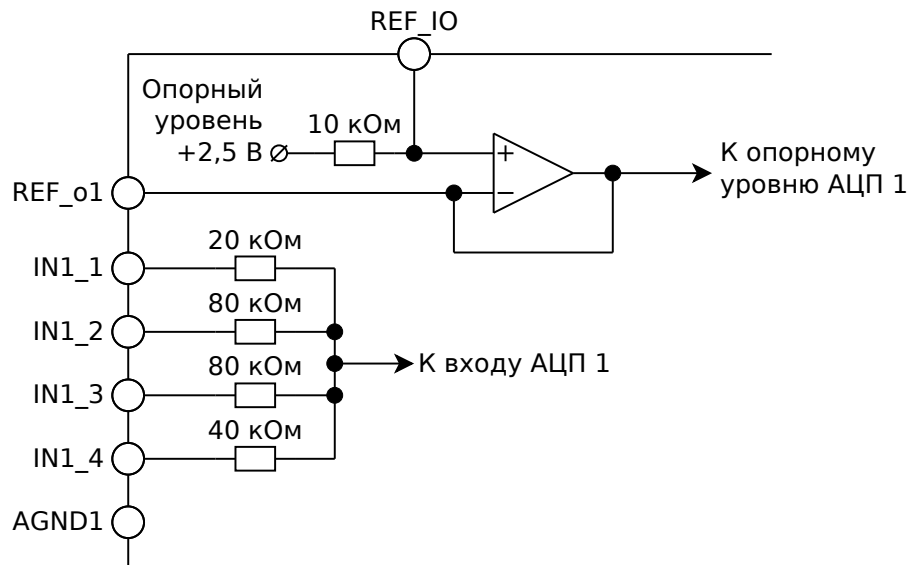


Рисунок 2. Схема масштабирования на примере 1-ого канала

Электрические характеристики

Таблица 1. Электрические параметры

Параметр, единица измерения	Норма параметра		Температура среды, °С	Прим.
	не менее	не более		
Выходное напряжение низкого уровня АЦП, В	–	0,4	–60...+125	
Выходное напряжение высокого уровня АЦП, В	4,4	–	–60...+125	
Ток потребления АЦП, мА	–	20 25	+25 –60...+125	1
Дифференциальная нелинейность, МЗР	–0,9	0,9	–60...+125	
Интегральная нелинейность, МЗР	–4,0 –5,0	+4,0 +5,0	+25 –60...+125	
Максимальная частота дискретизации, квыб/сек	500		–60...+125	
Примечания: 1) При частоте дискретизации 500 квыб/с				

Конфигурация и функциональное описание выводов

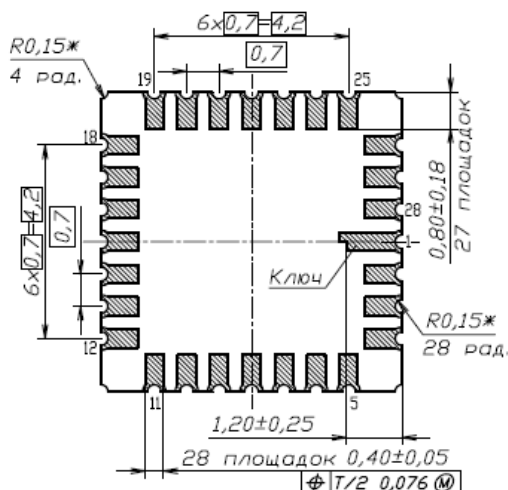


Рисунок 3. Габаритный чертеж корпуса МК 5123.28-1

Таблица 2. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	CLK	Вход тактовой частоты
2	CLK_READ	Вход тактовой частоты для чтения данных
3	READY	Сигнал готовности выходных данных
4	START	Вход сигнала начало преобразования
5	DOUT1	Последовательный выход данных с АЦП1
6	DOUT2	Последовательный выход данных с АЦП2
7	VDDD	Вывод положительного цифрового питания
8	VDDA	Вывод положительного аналогового питания
9	AGND1	Вывод отрицательного питания или общий
10	REF_o1	Подключение внешнего шунтирующего конденсатора
11	IN1_2	Вход АЦП1
12	IN1_4	Вход АЦП1
13	IN1_1	Вход АЦП1
14	IN1_3	Вход АЦП1
15	REF_IO	Подключение внешнего шунтирующего конденсатора или подключение внешнего опорного уровня
16	IN2_3	Вход АЦП2
17	IN2_1	Вход АЦП2
18	IN2_4	Вход АЦП2
19	IN2_2	Вход АЦП2
20	REF_o2	Подключение внешнего шунтирующего конденсатора
21	AGND2	Вывод отрицательного питания или общий
22, 25	VSSA	Вывод отрицательного аналогового питания или общий
23	S1	Выбор работы блока умножителя частоты (PLL)
24	VSSD	Вывод отрицательного цифрового питания или общий
26	R_out	Подключение внешнего сопротивления
27	RC_in	Подключение внешнего конденсатора и сопротивления
28	CLK_OUT	Выход тактовой частоты

Функциональное описание микросхемы

По фронту сигнала START начинается фактическая процедура преобразования, включающая в себя задержку на установление УВХ и последовательное формирование выходного кода. START запускает процедуру преобразования сразу на 2 АЦП.

Общее время преобразования не превышает 16 периодов сигнала CLK. По завершению процедуры преобразования на выводе READY формируется положительный сигнал (логическая «1»), который будет держаться там до следующего прихода команды START.

Блок PLL умножает входную частоту на 16. В случае, если требуется отключить умножение, то на вывод S1 необходимо подать логический «0».

В микросхеме предусмотрена возможность использовать внешний опорный уровень. Для этого его необходимо подать на вывод REF_IO.

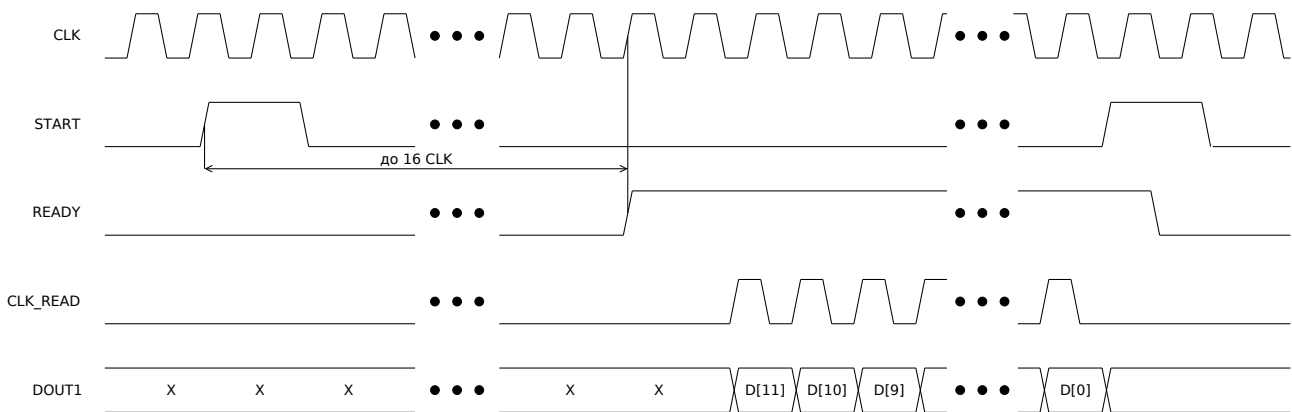


Рисунок 4. Функциональная диаграмма работы АЦП

Типовые характеристики

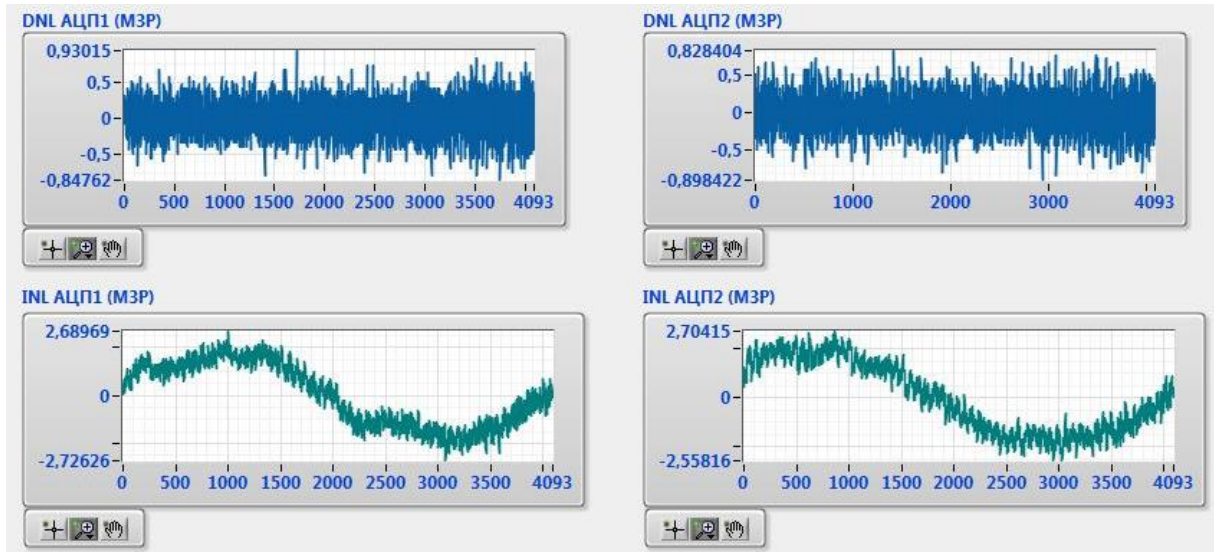


Рисунок 5. Характеристики микросхемы при $V_{DD} = 5 \text{ В}$, $REF_{IO} = 3 \text{ В}$, $F = 2 \text{ МГц}$.
 $DNL1 = 0,93$; $DNL2 = -0,89$; $INL1 = -2,72$; $INL2 = 2,70$.

Рекомендуемая схема применения

Схема применения приведена на рисунках 6 и 7.

$C1^* = 1 \text{ мкФ}$, $C2^{**} = 10 \text{ нФ}$, $C3^{**} = 100 \text{ нФ}$, $R1^{**} = 5 \text{ кОм}$.

* – конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них должен быть высокочастотный керамический емкостью не менее 10 нФ.

** – определяется в ходе эксперимента.

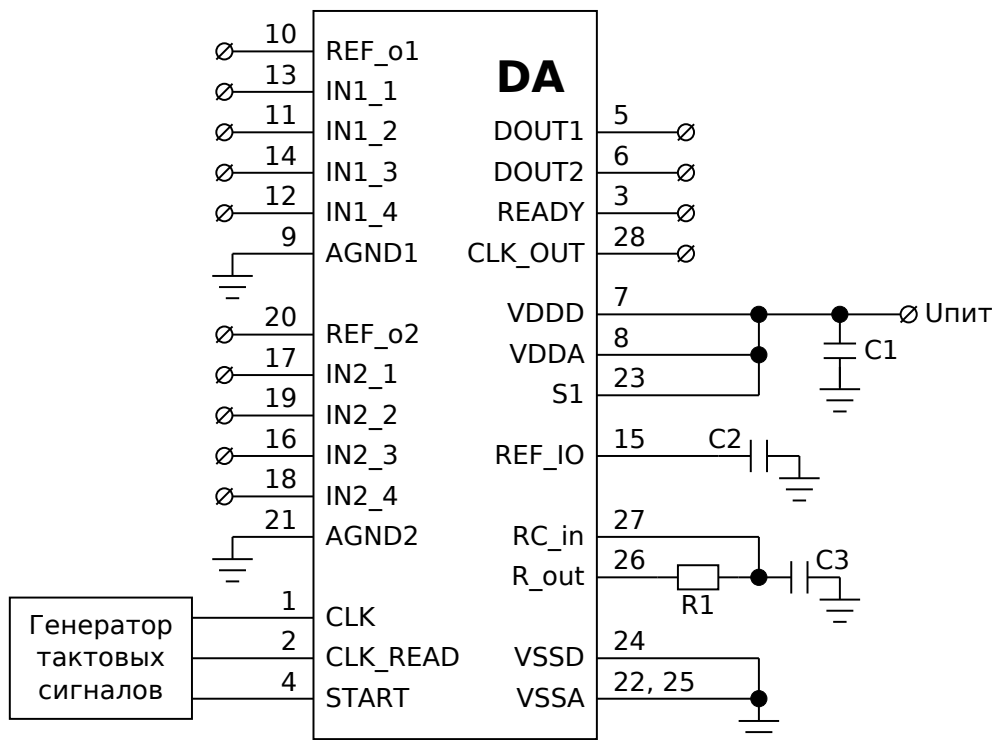


Рисунок 6. Схема применения с включенным блоком умножения частоты (PLL)

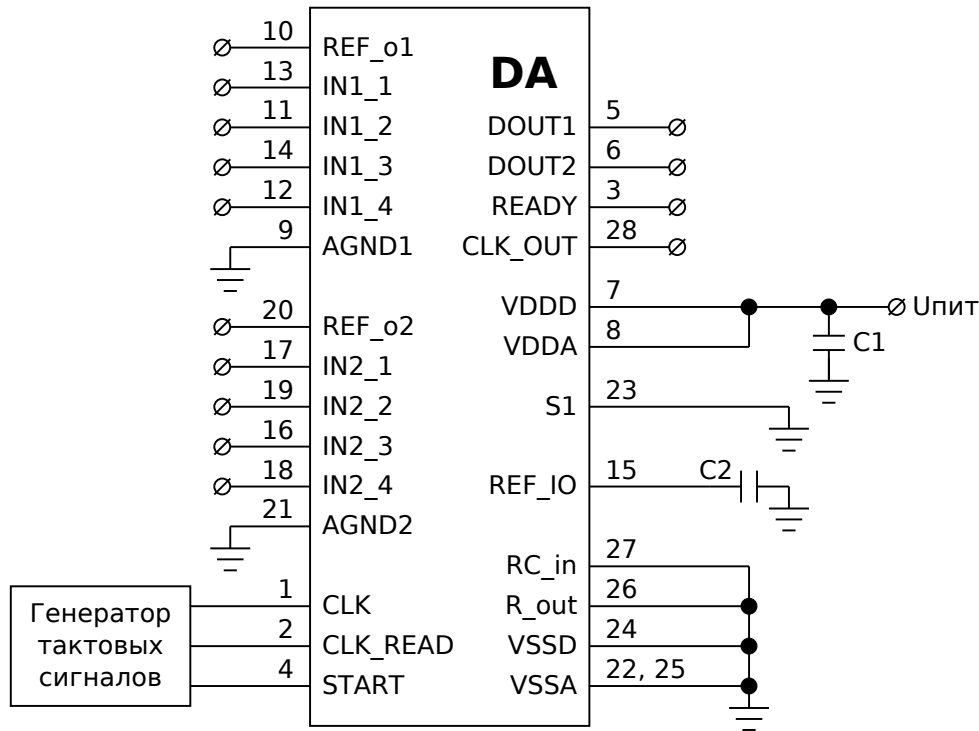


Рисунок 7. Схема применения с выключенным блоком умножения частоты (PLL)

На рисунках 8 – 11 представлены различные схемы включения для разного набора входных напряжений. C4** = 200 нФ.

** – определяется в ходе эксперимента.

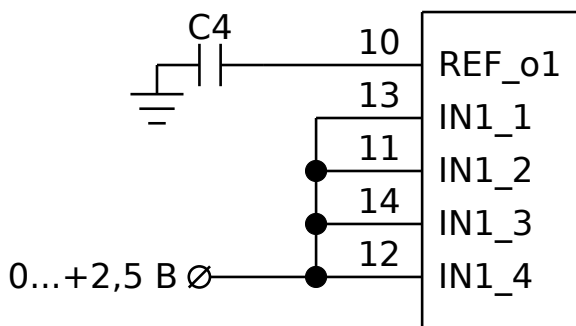


Рисунок 8. Диапазон входного напряжения от 0 до +2,5 В

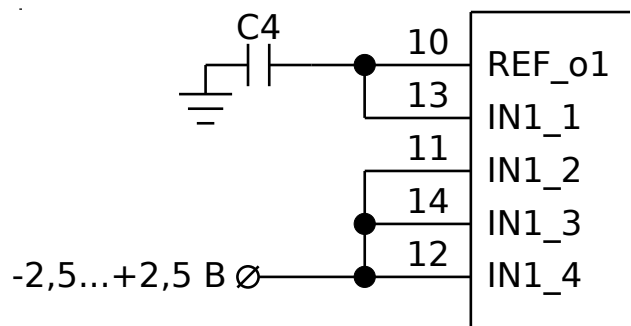


Рисунок 9. Диапазон входного напряжения от -2,5 до +2,5 В

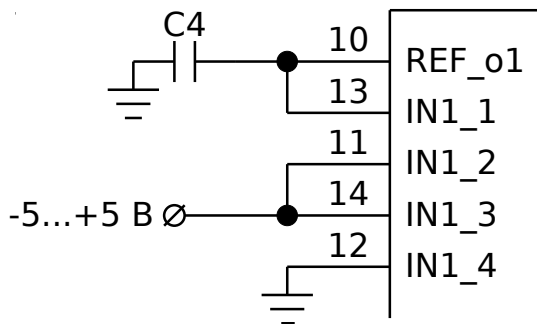


Рисунок 10. Диапазон входного напряжения от -5 до +5 В

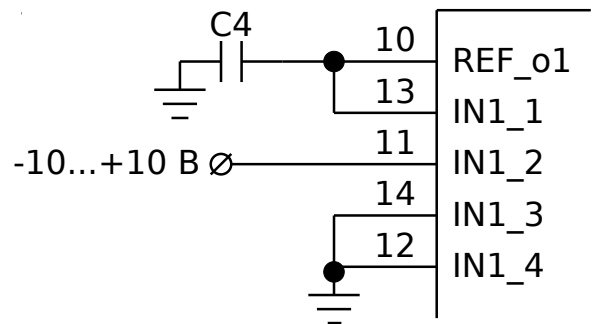


Рисунок 11. Диапазон входного напряжения от -10 до +10 В

