

**Спецификация
программируемой аналоговой микросхемы
«КомПАС-1» (5400ТР035)**

Оглавление

Общее описание	3
Прецизионный усилительный блок PAU	5
Усилительный блок CAU	8
Программируемый блок пассивных компонентов PPC	12
Линейный регулятор напряжения LDO	12
Блок ввода/вывода PADDR	13
Блок свободной конфигурации SPM	13
Вспомогательные блоки	13
Назначение выводов	14
Программирование микросхемы	16
Схемы включения	19
Лист регистрации изменений	21

Общее описание

Микросхема «КомПАС-1» (5400TP035) выполнена по КМОП КНИ технологическому процессу и размещается в 48-выводном компактном металлокерамическом корпусе 5142.48-А. Номинальное значение напряжения питания микросхемы $5\text{ В} \pm 10\%$. Диапазон входного напряжения сигналов от 0 В до напряжения питания. Температурный диапазон работы от -60 до $+85^\circ\text{C}$. Микросхема отличается высокой стойкостью к СВВФ и высокой надежностью – наработка на отказ составляет не менее 160 тыс. ч.

Микросхема предназначена для реализации аналоговых и аналого-цифровых интегральных схем путем электрического программирования коммутации между встроенными блоками. Микросхема позволяет многократное перепрограммирование без записи в энергонезависимую память и однократное программирование с записью в энергонезависимую память. Наряду со встроенными аналоговыми блоками микросхема содержит модули, предназначенные для программирования узлов с произвольной электрической схемой на уровне отдельных транзисторов, резисторов и конденсаторов. Структурная схема микросхемы приведена на рисунке 1.

Программируемое ядро микросхемы содержит 9 блоков свободной конфигурации (SPM), 22 усилительных блока (CAU), 22 прецизионных усилительных блока (PAU) и 44 блока пассивных компонентов (PPC). Блоки размещены в регулярной структуре. Между блоками проложены шины программируемой межблочной трассировки. По периферии кристалла расположены 18 программируемых блоков ввода/вывода (PADDR), которые обеспечивают связь ядра с контактными площадками кристалла. Встроенный мультиплексор позволяет выводить сигналы с 6-ти групп шин с помощью 3-х разрядной адресации. В состав кристалла входит также ИОН 1 В. Для формирования внутреннего напряжения ядра используется линейный регулятор напряжения (LDO).

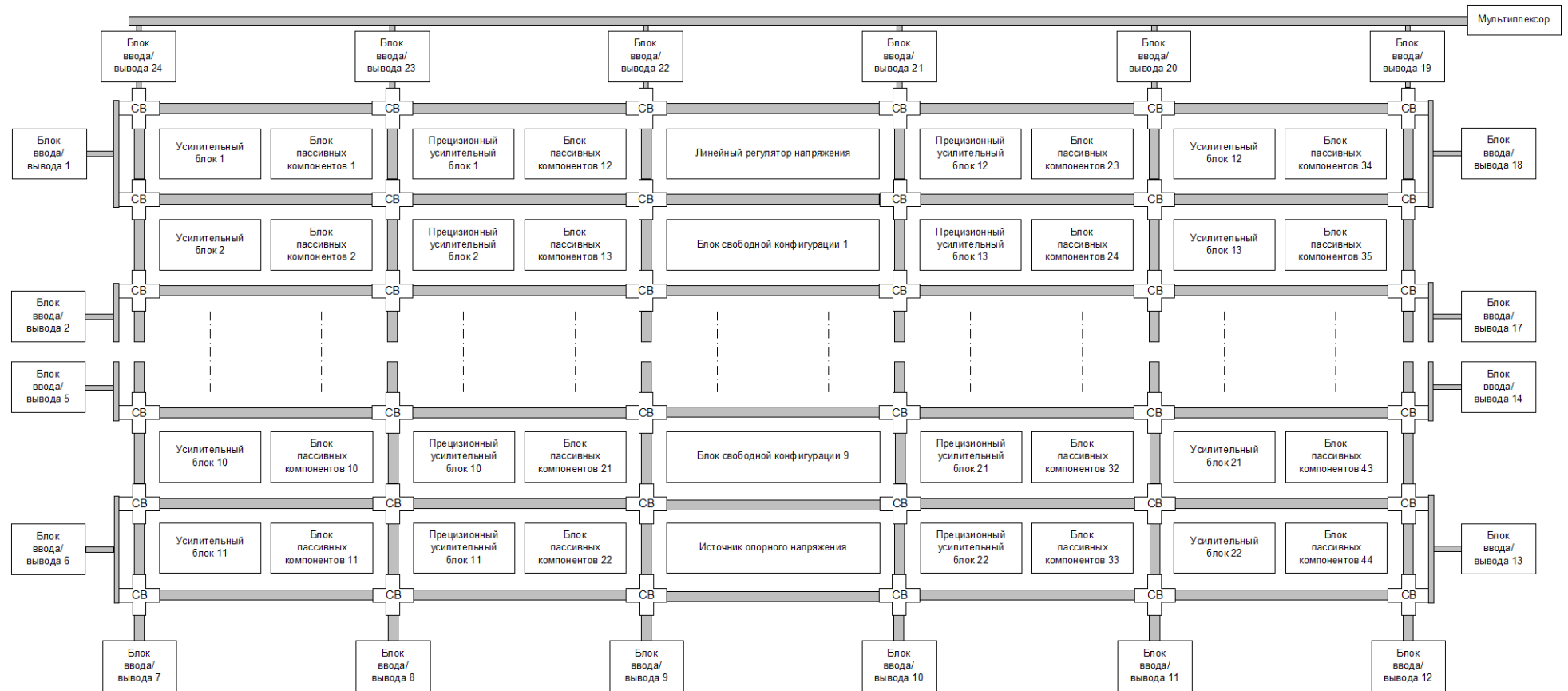


Рисунок 1. Структурная схема

Прецизионный усилительный блок PAU

Прецизионный усилительный блок предназначен для построения блоков со смещением нуля до 3 мВ. Диапазон входного напряжения сигналов от 0,5 до 3,0 В. Диапазон выходного напряжения сигналов от 0 В до напряжения питания.

В целом на ячейке PAU возможна реализация следующих блоков:

- Прецизионный компаратор;
- Прецизионный компаратор с гистерезисом;
- Дифференциальный ОУ;
- Полностью дифференциальный ОУ (Средняя точка полностью дифференциального ОУ – середина питания);
- Усилитель с программируемым коэффициентом усиления;
- Полностью дифференциальный усилитель с программируемым коэффициентом усиления;
- Программируемые делители напряжения с буфером и без него.

Типовые характеристики блока PAU

- Коэффициент усиления не менее 60 дБ;
- Напряжение смещения не более 3 мВ;
- Задержка переключения компаратора не более 1 мкс;
- Входной ток ОУ <1 нА;
- Скорость нарастания выходного напряжения – 2 В/мкс;
- Частота единичного усиления – 1 МГц.

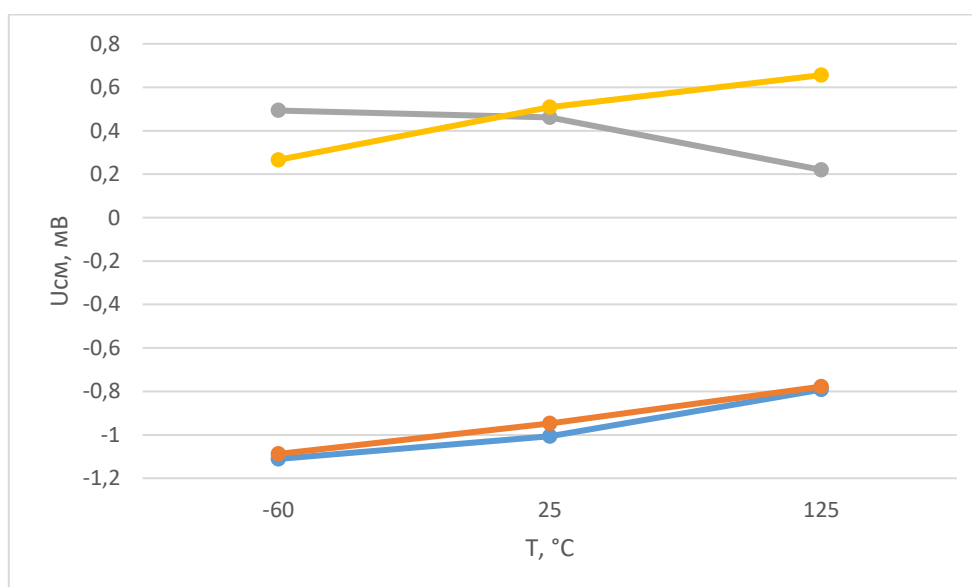


Рисунок 2. Зависимость напряжения смещения от температуры (VDDINT = 3,3 В)

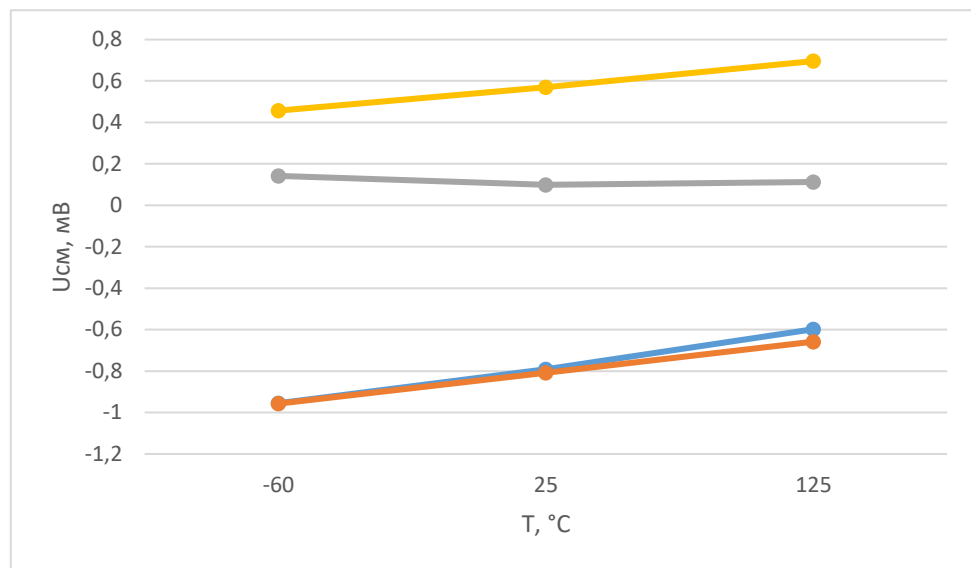


Рисунок 3. Зависимость напряжения смещения от температуры (VDDINT = 5 В)

При использовании чоппер стабилизации напряжение смещения блока уменьшается до уровня не более 100 мкВ.

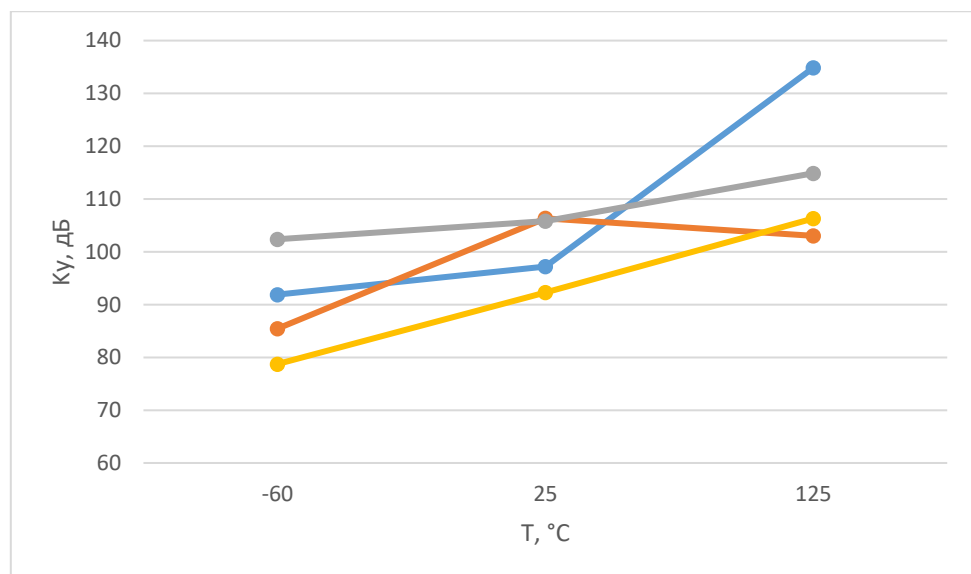


Рисунок 4. Зависимость коэффициента усиления от температуры (VDDINT = 3,3 В)

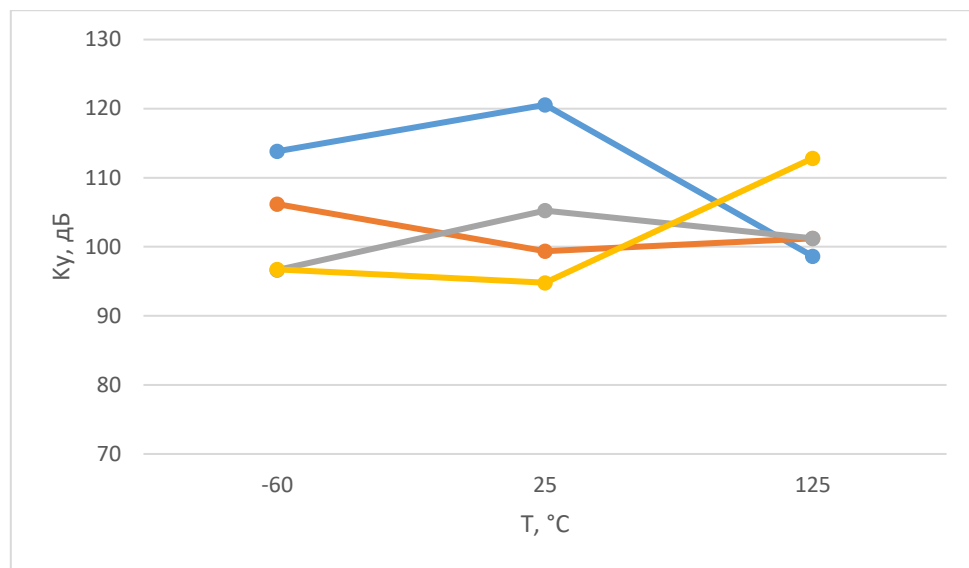


Рисунок 5. Зависимость коэффициента усиления от температуры (VDDINT = 5 В)

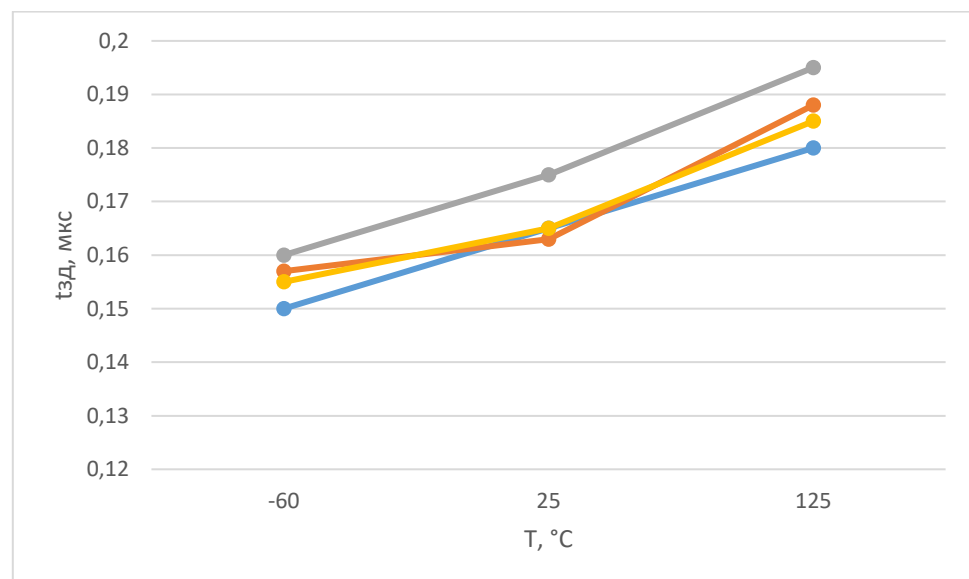


Рисунок 6. Зависимость задержки переключения компаратора от температуры (VDDINT = 3,3 В)

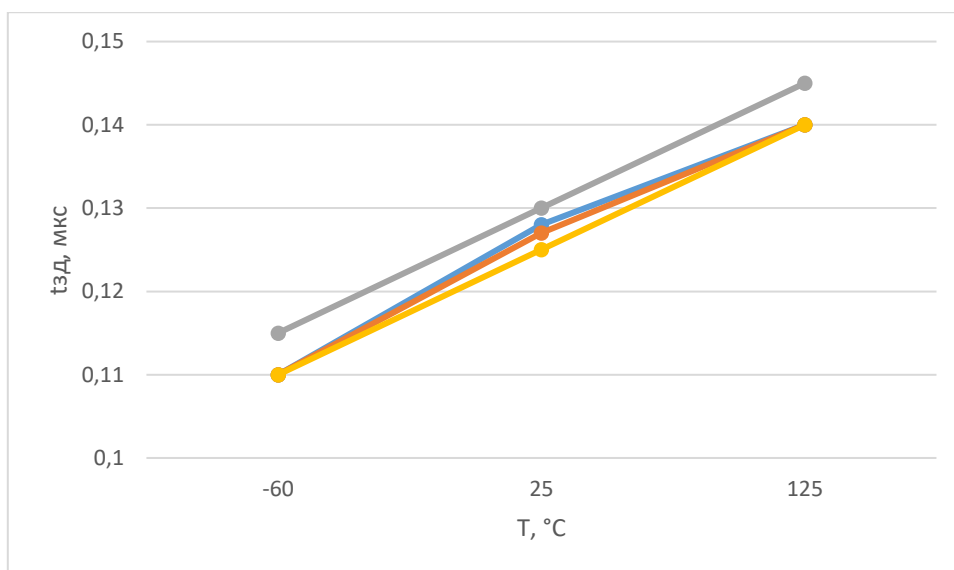


Рисунок 7. Зависимость задержки переключения компаратора от температуры (VDDINT = 5 В)

Усилительный блок CAU

Усилительный блок CAU во многом аналогичен блоку PAU, однако построен на основе rail-to-rail ОУ общего применения. Диапазон входного и выходного напряжения сигналов от 0 В до напряжения питания.

В целом блок CAU позволяет строить следующие схемы:

- Буферный единичный повторитель;
- Компаратор;
- Компаратор с гистерезисом;
- Операционный усилитель с различной частотной коррекцией;
- Усилитель с заданным программируемым коэффициентом усиления;
- Делитель напряжения с буфером и без него.

Типовые характеристики блока CAU

- Коэффициент усиления не менее 57 дБ;
- Напряжение смещения не более 20 мВ;
- Задержка переключения компаратора не более 0,6 мкс;
- Входной ток ОУ <1 нА;
- Скорость нарастания выходного напряжения – 5 В/мкс;
- Частота единичного усиления – 13 МГц.

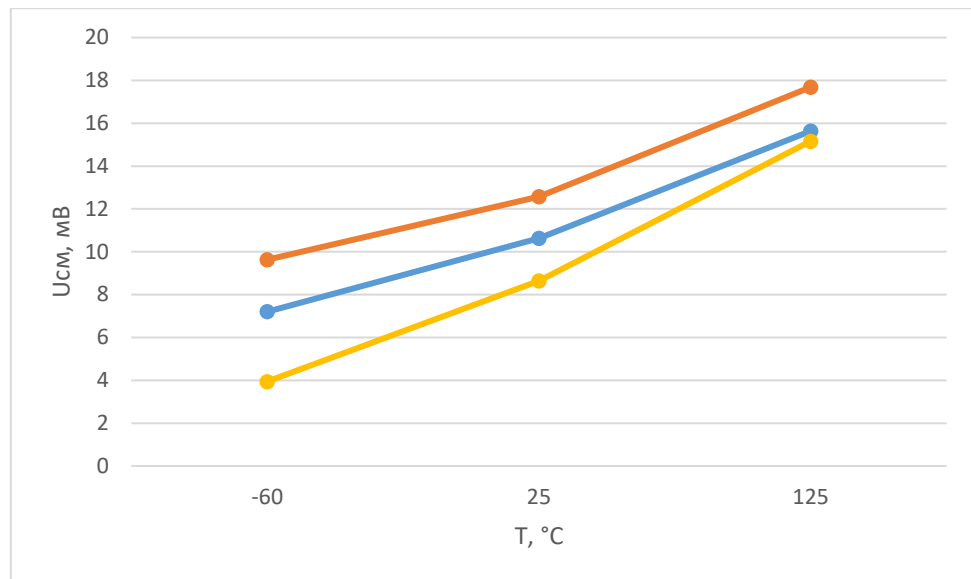


Рисунок 8. Зависимость напряжения смещения от температуры ($V_{DDINT} = 3,3$ В)

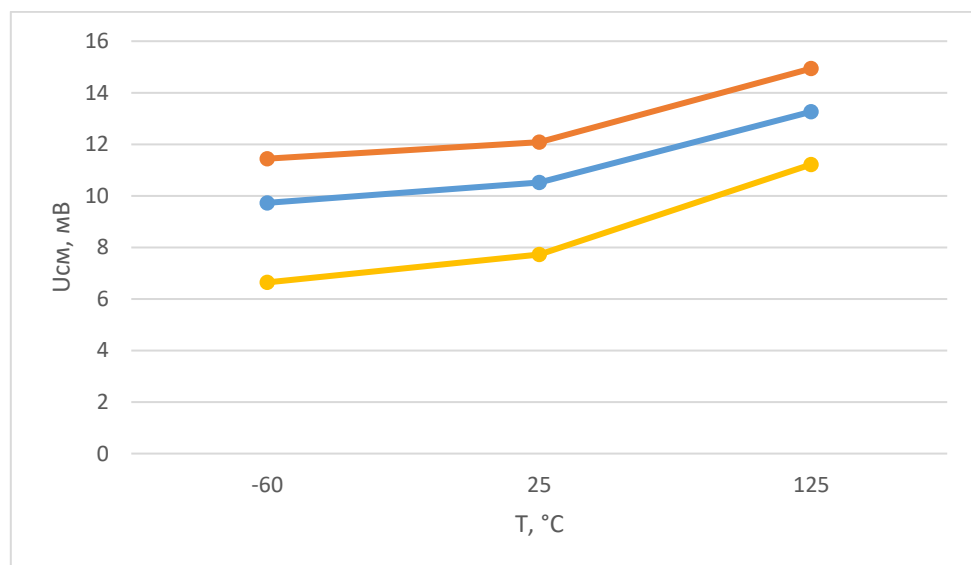


Рисунок 9. Зависимость напряжения смещения от температуры ($V_{DDINT} = 5$ В)

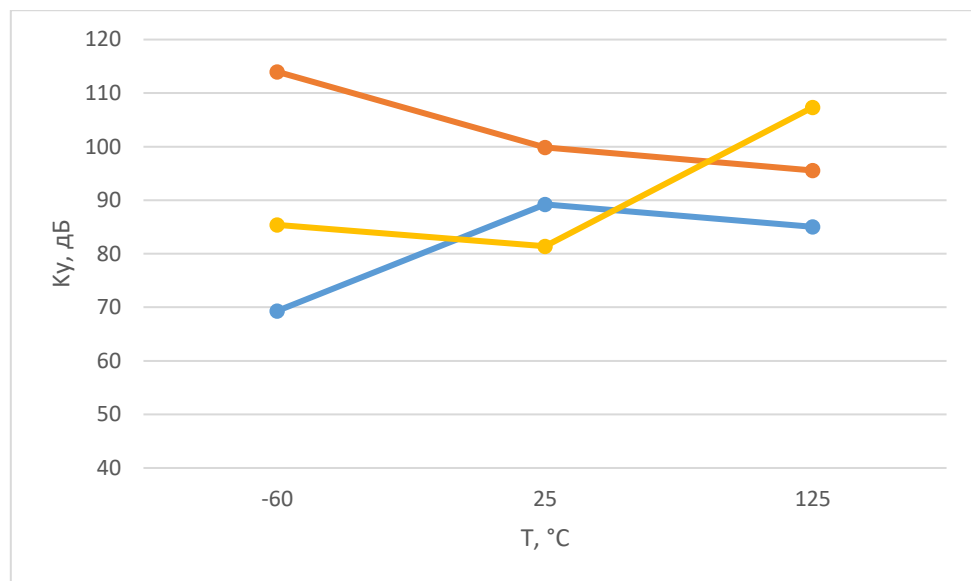


Рисунок 10. Зависимость коэффициента усиления от температуры (VDDINT = 3,3 В)

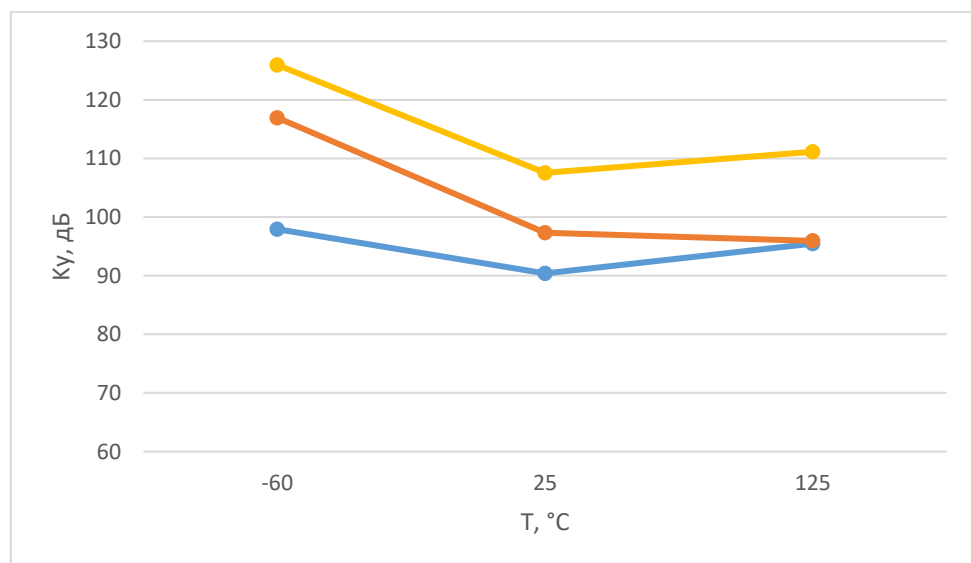


Рисунок 11. Зависимость коэффициента усиления от температуры (VDDINT = 5 В)

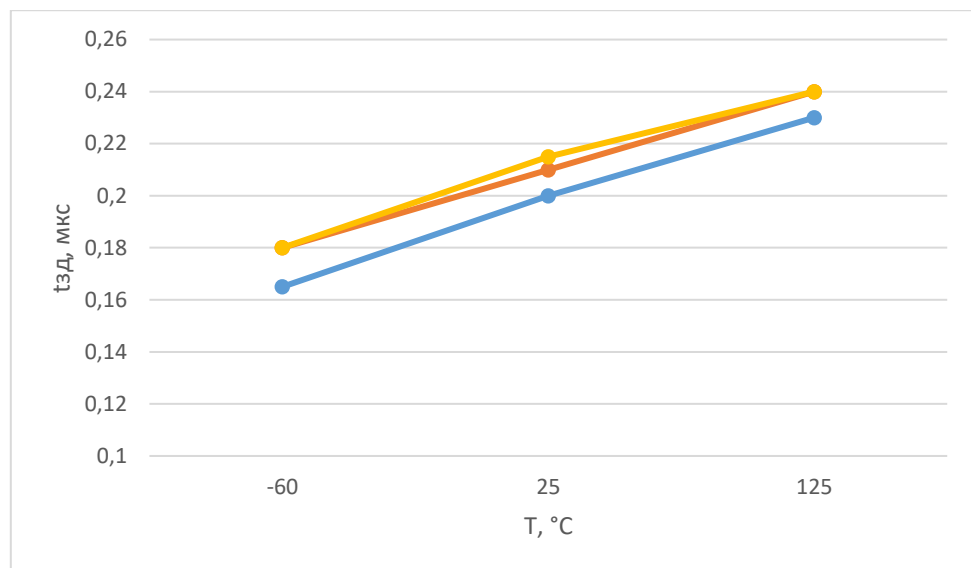


Рисунок 12. Зависимость задержки переключения компаратора от температуры ($V_{DDINT} = 3,3$ В)

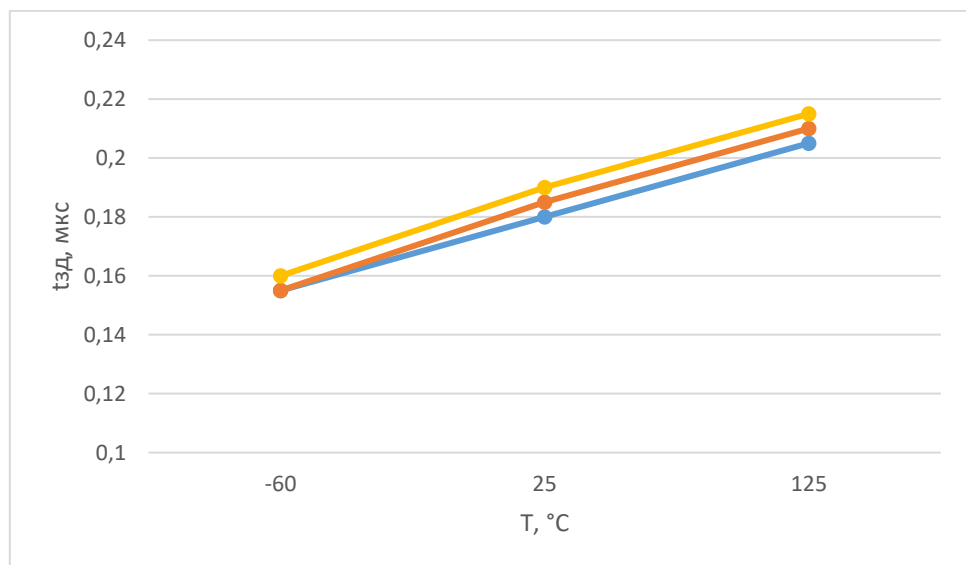


Рисунок 13. Зависимость задержки переключения компаратора от температуры ($V_{DDINT} = 5$ В)

Программируемый блок пассивных компонентов PPC

Блок имеет в своем составе 2 программируемых резистора (максимальное сопротивление 500 кОм), 2 конденсатора (8,34 пФ) и набор коммутационных ключей. Блок не имеет самостоятельных встроенных функций и предназначен для работы в составе более сложных блоков вместе с усилительными блоками.

Допускаемое отклонение номинала между блоками в пределах одной микросхемы – 1%.

Линейный регулятор напряжения LDO

Для формирования внутреннего напряжения питания ядра (VDDINT) используется линейный регулятор напряжения LDO.

Типовые характеристики блока

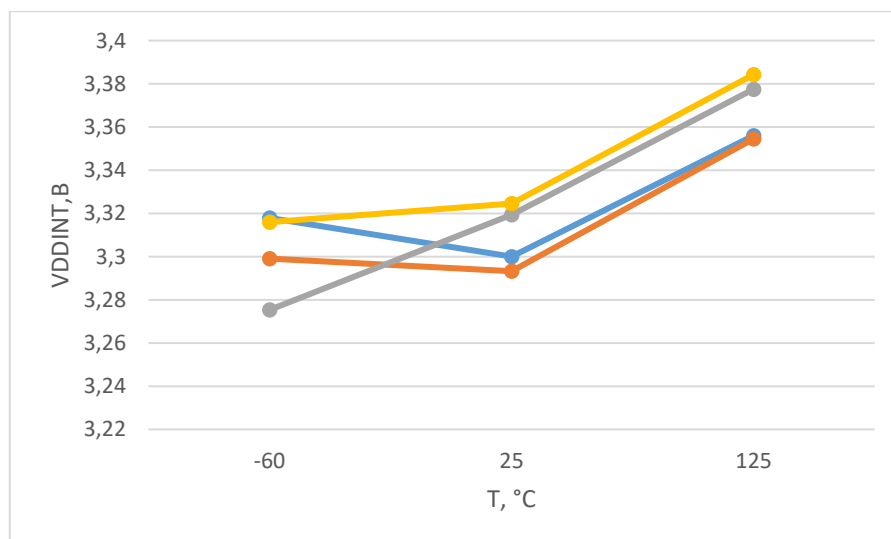


Рисунок 14. Зависимость внутреннего напряжения питания от температуры (VDDINT = 3,3 В)

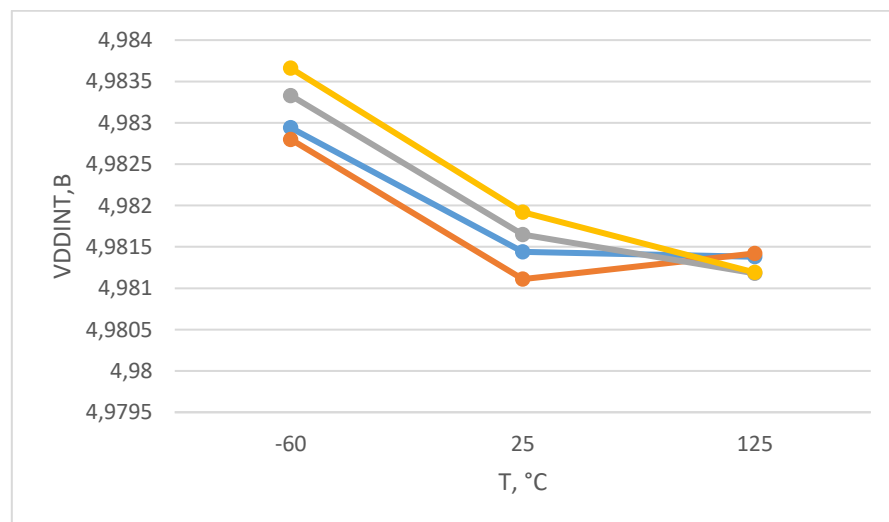


Рисунок 15. Зависимость внутреннего напряжения питания от температуры (VDDINT = 5 В)

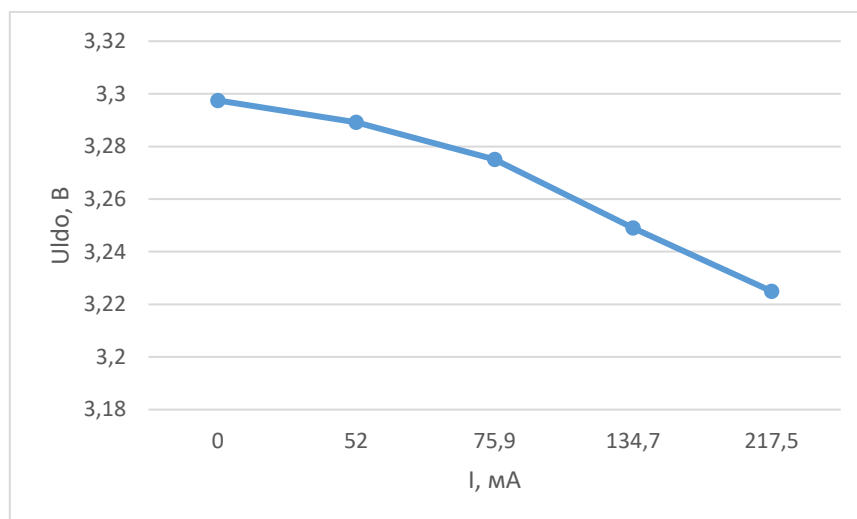


Рисунок 16. Зависимость внутреннего напряжения питания от тока нагрузки

Блок ввода/вывода PADDR

Для связи ядра с контактными площадками по периферии кристалла расположены 18 блоков ввода/вывода PADDR.

Выходные сигналы могут быть выведены на площадки напрямую либо через аналоговый или цифровой буфер. Аналоговый буфер построен на основе операционного усилителя с нагрузочной способностью до 30 мА.

Блок свободной конфигурации SPM


На основе блока свободной конфигурации SPM можно строить произвольные схемы, состоящие из n-МОП и p-МОП транзисторов числом до 32 каждого, резисторов (100 кОм, 20 кОм) и конденсаторов (1 пФ).

Вспомогательные блоки

Помимо программируемых блоков микросхема содержит источник опорного напряжения (ИОН). Подстройка ИОН выполняется путем программирования. Номинальное напряжение – 1 В.

В микросхеме применяется встроенный 8-канальный мультиплексор. При этом шесть каналов используются для ввода/вывода произвольных аналоговых или цифровых сигналов, один канал – для контроля напряжения ИОН и один – для контроля целостности конфигурационного кода.

Назначение выводов

На рисунке 17 показан габаритный чертеж корпуса 5142.48-А. Первый вывод микросхемы обозначен выступами на ободке корпуса .

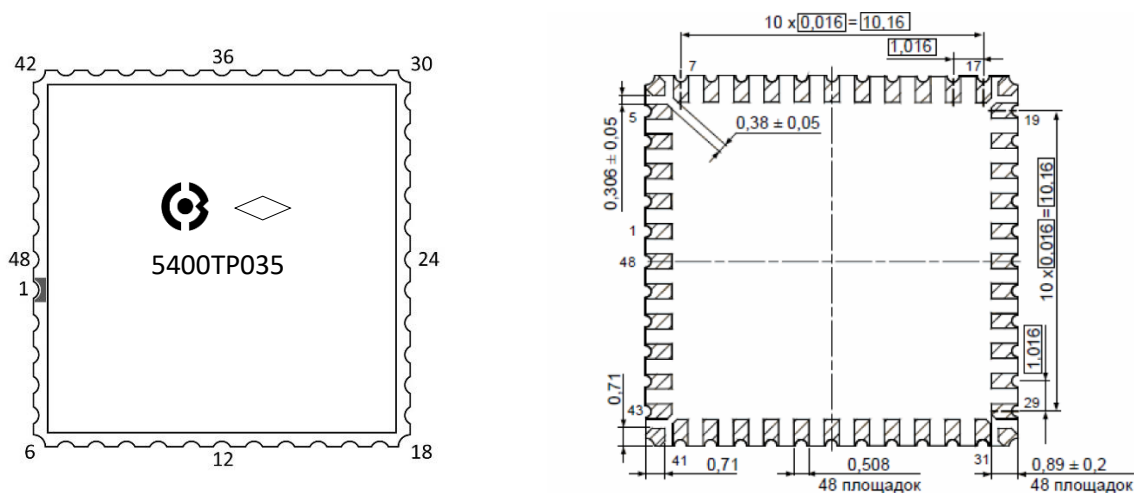


Рисунок 17. Габаритный чертеж корпуса

Таблица 1. Таблица назначения выводов

№ вывода	Обозначение вывода	Назначение вывода
1	PR1	Вывод программирования
2	A1	Вход/выход
3	VSSA	Общий вывод
4	A2	Вход/выход
5	MUXIO	Вывод мультиплексора
6	A3	Вход/выход
7	PR2	Вывод программирования
8	MUX2	Выбор канала мультиплексора
9	MUX1	Выбор канала мультиплексора
10	MUX0	Выбор канала мультиплексора
11	VSSA	Общий вывод
12	VDDA	Вывод аналогового питания
13	VDDINT	Вывод внутреннего питания микросхемы
14	SFT	Выбор режима работы памяти ОЗУ
15	HRD	Выбор режима работы памяти ПЗУ
16	C2	Вход тактового сигнала конфигурационной последовательности
17	C1	Вход тактового сигнала конфигурационной последовательности
18	PR3	Вывод программирования
19	A4	Вход/выход
20	DIN	Вход подачи конфигурационной последовательности или тактовой частоты чоппер стабилизации

№ вывода	Обозначение вывода	Назначение вывода
21	A5	Вход/выход
22	VSSA	Общий вывод
23	A6	Вход/выход
24	PR4	Вывод программирования
25	A7	Вход/выход
26	VDDINT	Вывод внутреннего питания микросхемы
27	A8	Вход/выход
28	VDDA	Вывод аналогового питания
29	A9	Вход/выход
30	PR5	Вывод программирования
31	A10	Вход/выход
32	VSSA	Общий вывод
33	A11	Вход/выход
34	VDDA	Вывод аналогового питания
35	A12	Вход/выход
36	PR6	Вывод программирования
37	VSSA	Общий вывод
38	A13	Вход/выход
39	VDD18	Вывод питания триггеров ОЗУ
40	A14	Вход/выход
41	VSSA	Общий вывод
42	A15	Вход/выход
43	PR7	Вывод программирования
44	A16	Вход/выход
45	VDDA	Вывод аналогового питания
46	A17	Вход/выход
47	VDDINT	Вывод внутреннего питания микросхемы
48	A18	Вход/выход

Программирование микросхемы

Для записи конфигурационных данных используется последовательный интерфейс, который записывает данные в сдвиговый регистр, состоящий из 30717 ячеек. Управляющие сигналы C1 и C2 не должны пересекаться (рисунок 18).

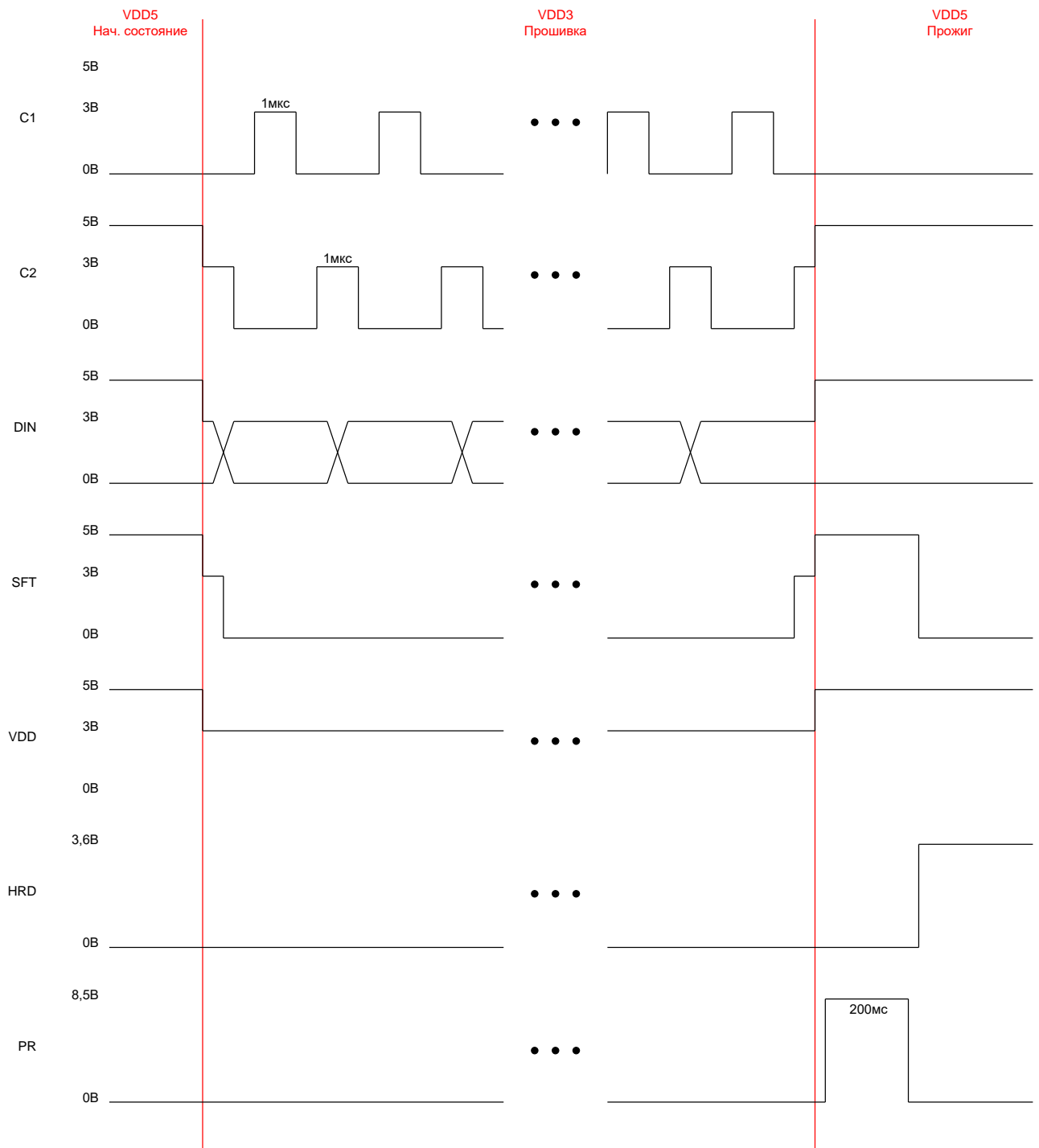


Рисунок 18. Форма управляющих сигналов

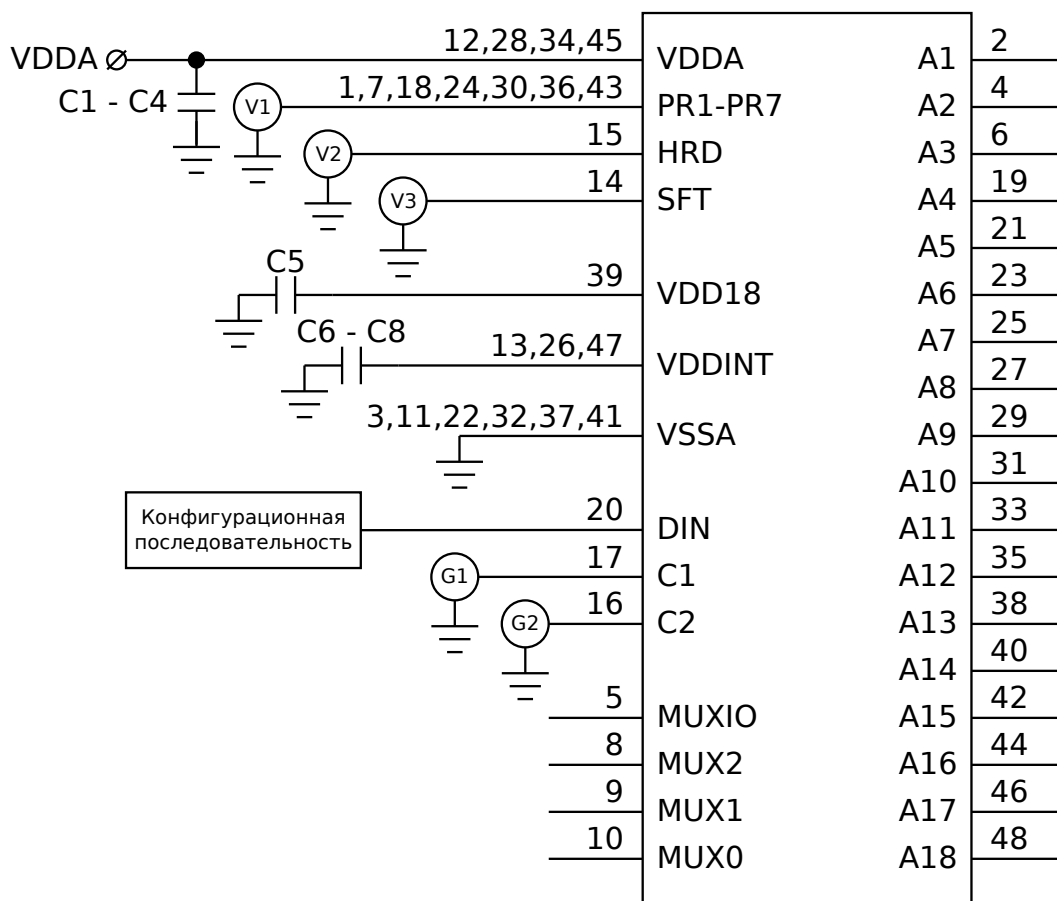


Рисунок 19. Схема включения микросхемы для записи конфигурационных данных

G1, G2 – генераторы напряжения в соответствии с рисунком 18

V1, V2, V3 – источники напряжения в соответствии с рисунком 18

C1 – C8 = 1 мкФ

A1 ... A18 – входы/выходы микросхемы в соответствии с запрограммированной схемой

MUX0, MUX1, MUX2 – выводы выбора канала мультиплексора

MUXIO – вывод мультиплексора

Таблица 2. Режимы работы микросхемы

V(SFT), В	V(HRD), В	V(PR), В	Состояние
VDDA	0	0	Программирование без записи в энергонезависимую память
VDDA	0	8,5	Запись в энергонезависимую память
0	VDDA	0	Воспроизведение после записи в энергонезависимую память

Для записи в энергонезависимую память необходимо подать на выводы PR импульс 8,5 В длительностью 200 мс. Микросхема содержит 30717 ячеек памяти, желательно использовать последовательное программирование. Для этого конфигурационная последовательность разбивается на части, в которых содержится ограниченное число «0», остальная часть последовательности должна содержать «1».

Программирование микросхемы реализуется с помощью отладочного комплекта, состоящего из САПР для создания и моделирования электрических схем, программатора со специализированным программным обеспечением для записи данных в микросхему и макетной платы. При использовании отладочного комплекта конфигурационная последовательность формируется автоматически.

Схемы включения

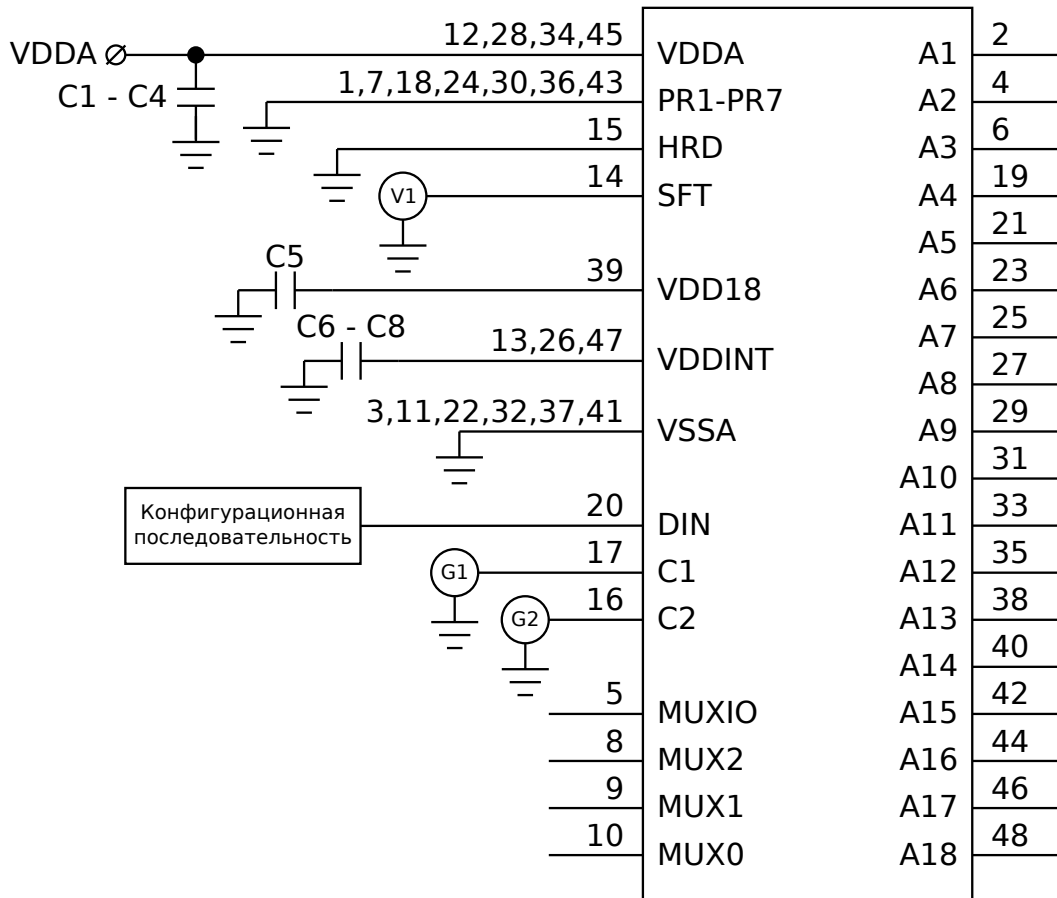


Рисунок 20. Схема включения микросхемы при программировании без записи в энергонезависимую память (режим SOFT)

G1, G2 – генераторы напряжения в соответствии с рисунком 18

V1 – источник напряжения в соответствии с рисунком 18

C1 – C8 = 1 мкФ

A1 ... A18 – входы/выходы микросхемы в соответствии с запрограммированной схемой

MUX0, MUX1, MUX2 – выходы выбора канала мультиплексора

MUXIO – вывод мультиплексора

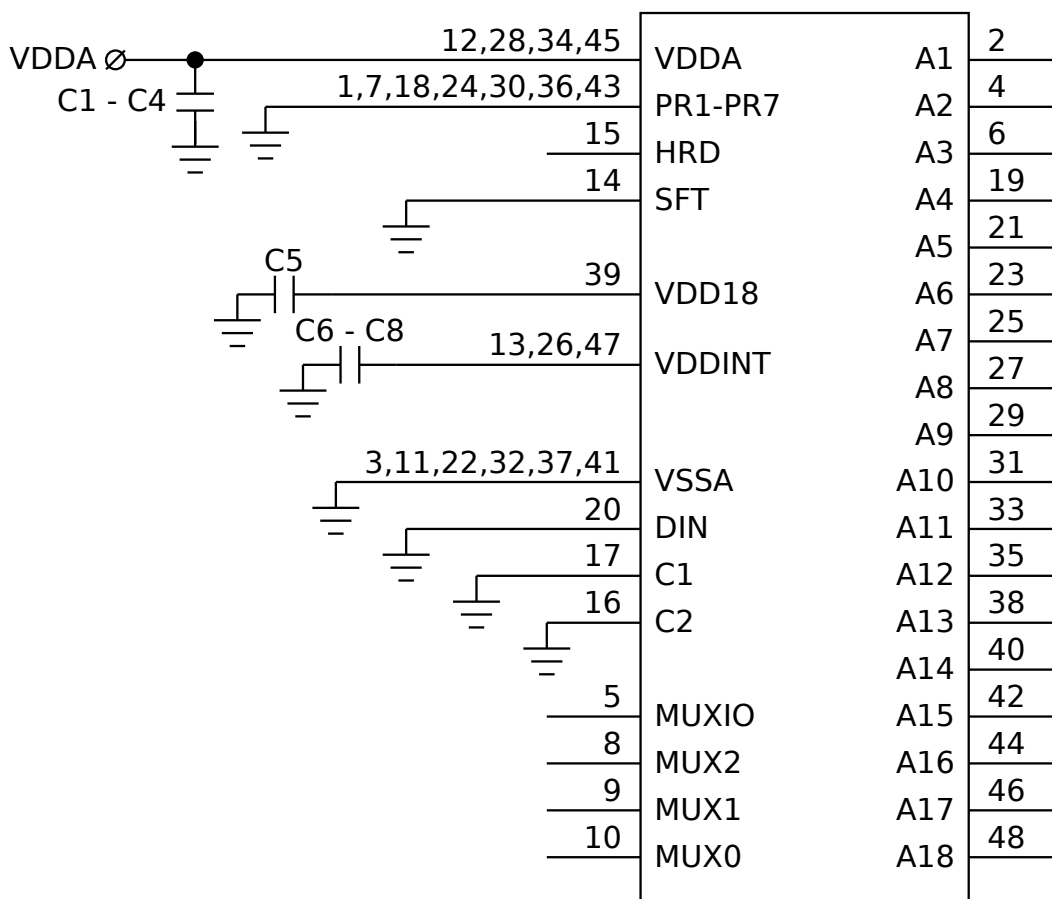


Рисунок 21. Схема включения микросхемы после записи в энергонезависимую память (режим HARD)

C1 – C8 = 1 мкФ

A1 ... A18 – входы/выходы микросхемы в соответствии с запрограммированной схемой

MUX0, MUX1, MUX2 – выводы выбора канала мультиплексора

MUXIO – вывод мультиплексора

