

Назначение, краткое описание

Микросхема выполнена в 28-выводном металлокерамическом корпусе МК 5123.28-1 и представляет собой 2-ух канальный 12-ти разрядный аналого-цифровой преобразователь (АЦП) последовательного приближения, с последовательным интерфейсом выходных данных.

Основные эксплуатационные характеристики микросхемы:

- Диапазон напряжения питания $U_{cc} = 3,0 - 5,5$ В;
- Частота дискретизации до 500 квыб./с;
- Ток потребления не более 12 мА;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$;
- Нарботка на отказ 100 000 часов;
- Диапазон входных напряжений 1) от 0 В до +2,5 В;
2) от $-2,5$ В до +2,5 В;
3) от -5 В до +5 В;
4) от -10 В до +10 В.

Структурная схема

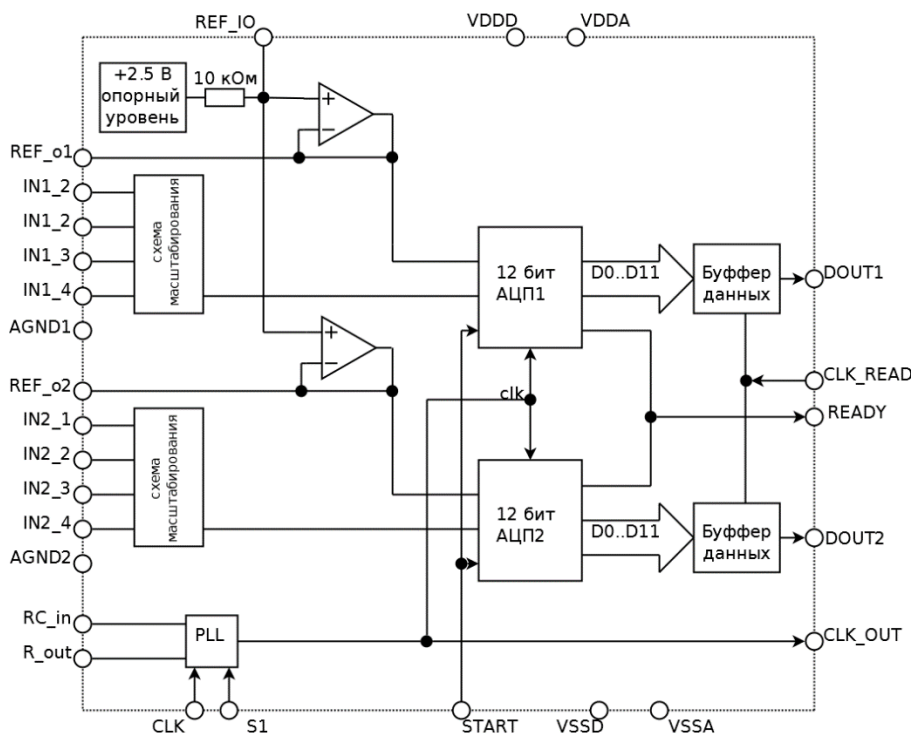


Рисунок 1. Структурная схема

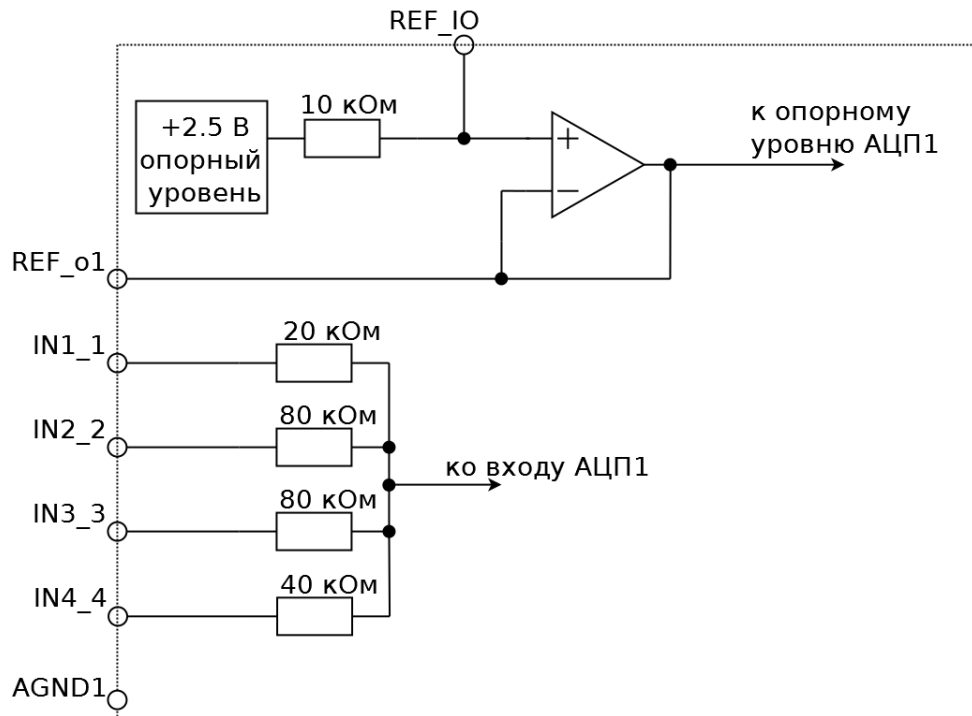


Рисунок 2. Схема масштабирования на примере 1-ого канала

Электрические характеристики

Таблица 1. Электрические параметры

Параметр	Ед. изм.	Буквенное обозначение	Норма параметра		Температура среды, °С	Прим.
			не менее	не более		
Выходное напряжение низкого уровня АЦП	В	UOL	–	0,4	–60...+125	1
Выходное напряжение высокого уровня АЦП	В	UOH	2,4	–	–60...+125	
Ток потребления АЦП	мА	ICC	–	11	+25	1,2
			–	12	–60...+125	
Дифференциальная нелинейность	МЗР	ED	–0,9	0,9	–60...+125	
Интегральная нелинейность	МЗР	EL	–4,0	4,0	+25	
			–5,0	5,0	–60...+125	
Частота дискретизации	квыб/сек	FS		500	–60...+125	1
Примечания:						
1) При напряжении питания 3,3 В;						
2) При частоте дискретизации 500 квыб./с						

Обозначение и нумерация выводов

Таблица 2. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	CLK	Вход тактовой частоты
2	CLK_READ	Вход тактовой частоты для чтения данных
3	READY	Сигнал готовности выходных данных
4	START	Вход сигнала начало преобразования
5	DOUT1	Последовательный выход данных с АЦП1
6	DOUT2	Последовательный выход данных с АЦП2
7	VDDD	Вывод положительного питания
8	VDDA	Вывод положительного питания
9	AGND1	Вывод отрицательного питания или общий
10	REF_o1	Подключение внешнего шунтирующего конденсатора
11	IN1_2	Вход АЦП1
12	IN1_4	Вход АЦП1
13	IN1_1	Вход АЦП1
14	IN1_3	Вход АЦП1
15	REF_IO	Подключение внешнего шунтирующего конденсатора или подключение внешнего опорного уровня
16	IN2_3	Вход АЦП2
17	IN2_1	Вход АЦП2
18	IN2_4	Вход АЦП2
19	IN2_2	Вход АЦП2
20	REF_o2	Подключение внешнего шунтирующего конденсатора
21	AGND2	Вывод отрицательного питания или общий
22, 25	VSSA	Вывод отрицательного питания или общий
23	S1	Выбор работы блока умножителя частоты (PLL)
24	VSSD	Вывод отрицательного питания или общий
26	R_out	Подключение внешнего сопротивления
27	RC_in	Подключение внешнего конденсатора и сопротивления
28	CLK_OUT	Выход тактовой частоты

Рекомендуемая схема подключения

Схема применения приведена на рисунках 3 – 8

$C1^* = 1 \text{ мкФ}$, $C2^{**} = 10 \text{ нФ}$, $C3^{**} = 100 \text{ нФ}$, $R1^{**} = 5 \text{ кОм}$.

* – конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них должен быть высокочастотный керамический емкостью не менее 10 нФ.

** – определяется в ходе эксперимента.

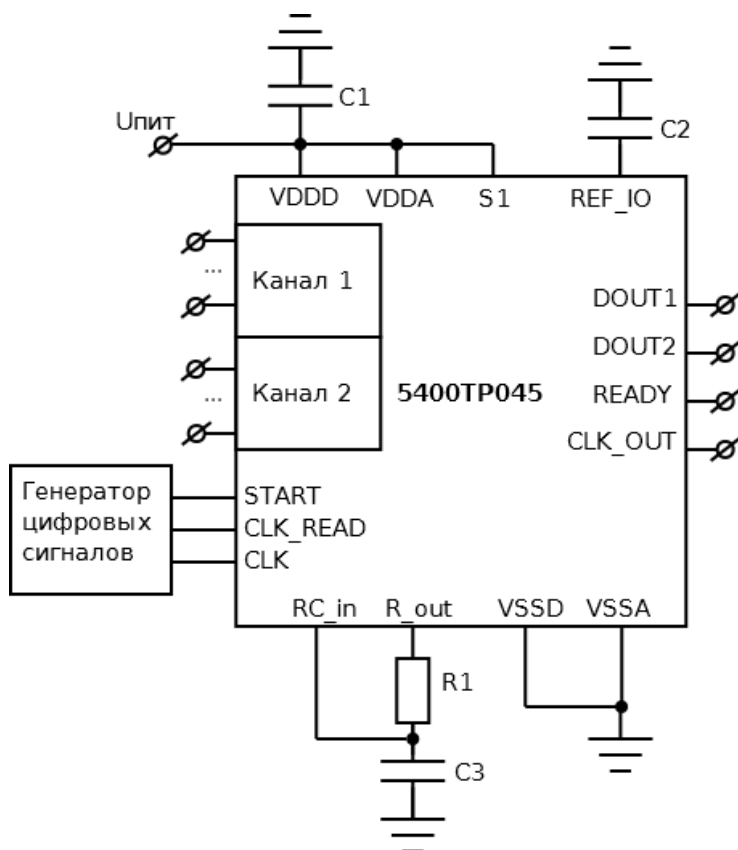


Рисунок 3. Схема применения с включенным блоком умножения частоты (PLL)

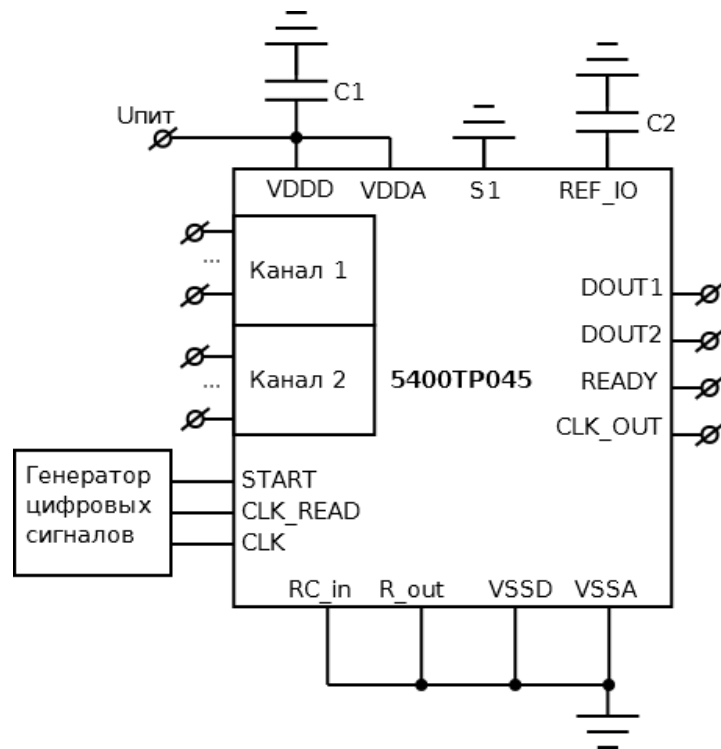


Рисунок 4. Схема применения с выключенным блоком умножения частоты (PLL)

На рисунках 5 – 8 представлены различные схемы включения для разного набора входных напряжений. $C4^{**} = 200$ нФ.

** – определяется в ходе эксперимента.

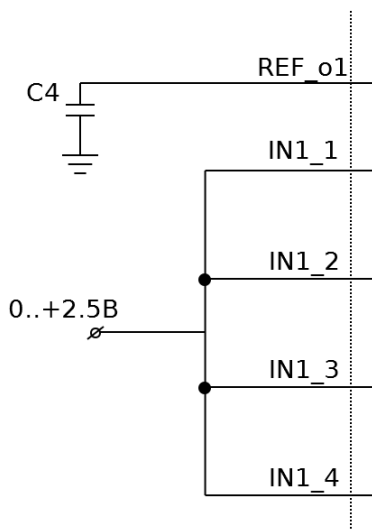


Рисунок 5. Диапазон входного напряжения от 0 до +2,5 В

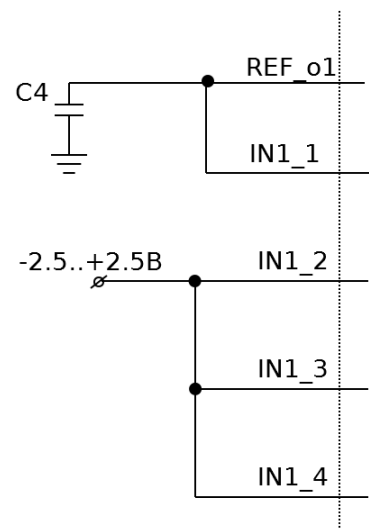


Рисунок 6. Диапазон входного напряжения от -2,5 до +2,5 В

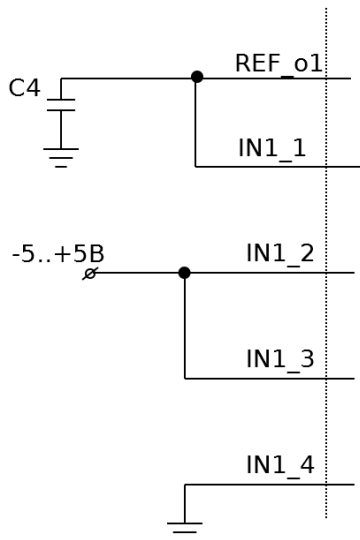


Рисунок 7. Диапазон входного напряжения от -5 до +5 В

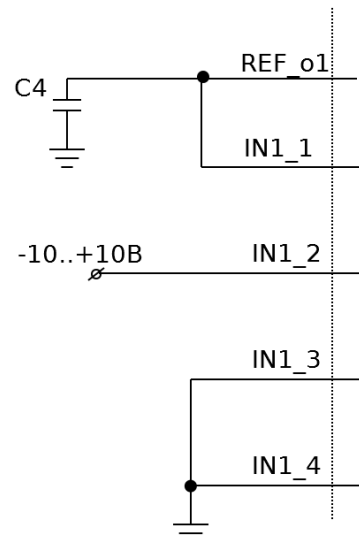


Рисунок 8. Диапазон входного напряжения от -10 до +10 В

Функциональное описание микросхемы

По фронту срезу сигнала START начинается фактическая процедура преобразования, включающая в себя задержку на установление УВХ и последовательное формирование выходного кода. START запускает процедуру преобразования сразу на 2 АЦП.

Общее время преобразования не превышает 16 периодов сигнала CLK. По завершению процедуры преобразования на выводе READY формируется положительный сигнал (логическая единица), который будет держаться там до следующего прихода команды START.

Блок PLL умножает входную частоту на 16. В случае, если требуется отключить умножение, то на вывод S1 необходимо подать лог. «0».

В микросхеме предусмотрена возможность использовать внешний опорный уровень. Для этого его необходимо подать на вывод REF_IO.

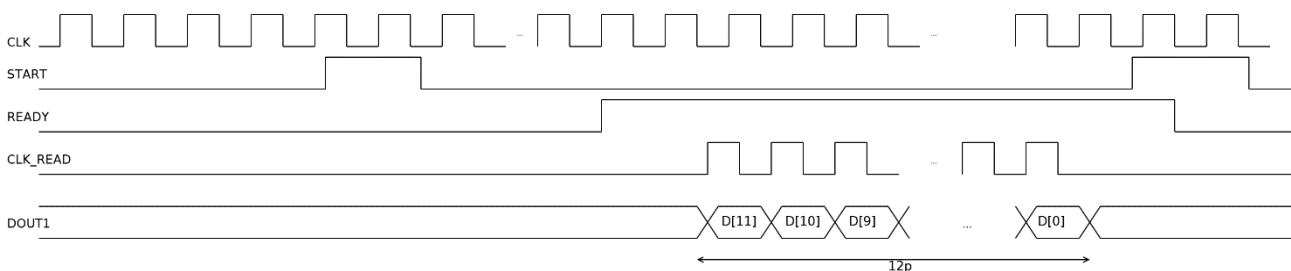


Рисунок 9. Функциональная диаграмма работы АЦП

Габаритный чертеж корпуса МК 5123.28-1

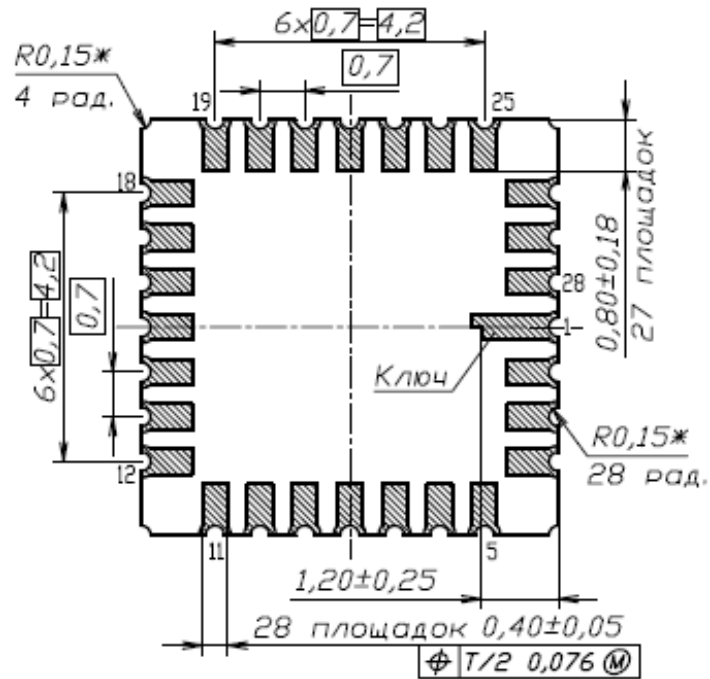


Рисунок 10. Габаритный чертеж корпуса

