

Основные особенности

- 14 разрядов;
- Частота выборок до 50 МГц;
- Дифференциальный вход с полосой пропускания до 500 МГц;
- Напряжение питания – 3,5 В;
- Потребляемая мощность до 1,2 Вт;
- SFDR (типичное) – 80 дБ;
- DNL (типичное) – 0,6 МЗР;
- INL (типичное) – 3,5 МЗР;
- Встроенный ИОН;
- Настраиваемый диапазон входных напряжений – 1 ... 3 В;
- КМОП/LVDS цифровой выход данных (бинарный со смещением/дополнительный код);
- Температурный диапазон –60 ... +125°С;
- Стойкость к воздействию внешних факторов.

Блок схема

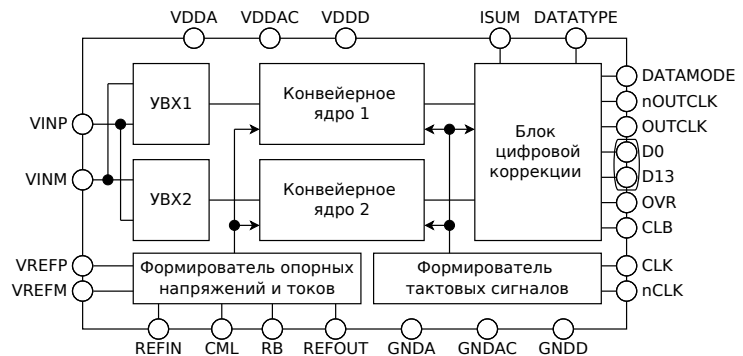


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид микросхемы 5112НВ035

ГГ – год выпуска
 НН – неделя выпуска

Общее описание

Микросхема 5112НВ035 является 14-ти разрядным АЦП конвейерного типа. АЦП изготавливается по технологии КНИ с технологическими нормами 0,24 мкм.

АЦП использует двухканальную архитектуру с временным перемеживанием (time interleaving). Принципы, заложенные в архитектуре АЦП, опираются на методы цифровой автокалибровки.

Для устранения нестабильности кода, возникающего из-за возможной неидентичности каналов, используется усреднение двух соседних выборок.

АЦП имеет расширенные возможности по приему входных тактовых сигналов. Возможна подача парафазных тактовых сигналов с размахом цифровых КМОП уровней (0 – 3,5 В) и скважностью 2, LVDS уровней, однофазного тактового сигнала с размахом в диапазоне от 0,3 В до 3,5 В со скважностью 2.

Выходные данные могут быть представлены как бинарным кодом со смещением, так и дополнительным кодом. Тип данных определяется состоянием вывода «DATATYPE».

Выходные данные могут быть представлены как КМОП логическими уровнями, так и LVDS. При этом возможно также третье (высоко-импедансное) состояние логических выводов. Формат представления логических уровней определяется состоянием вывода «DATAMODE».

Возможно использование как встроенного, так и внешнего источника опорного напряжения, значение которого определяет максимальную амплитуду входного сигнала.

АЦП поставляется в безвыводном металлокерамическом корпусе 5142.48-А.

Применение

Преобразование видеосигналов и сигналов датчиков.

Электрические параметры микросхемы

Таблица 1. Статические электрические характеристики

Параметр, единица измерения	Мин.	Тип.	Макс.	Темп. °С
Разрядность (N), бит	14			-60 ... +125
Максимальная частота выборок (Fs), МВыб/с	2		50*	-60 ... +125
	2		25**	
Дифференциальная нелинейность (DNL), МЗР	-1	±0,6	+1	-60 ... +125
Интегральная нелинейность (INL), МЗР	-7	±3,5	+7	+25
	-10	±5	+10	-60 ... +125
Отсутствие пропусков кода	Гарантировано			-60 ... +125
Смещение нуля, мВ	-30		+30	-60 ... +125
Температурный дрейф смещения нуля, мкВ/°С		±10		-60 ... +125
Напряжение входного сигнала (VINP, VINM), В	0		VDDA	-60 ... +125
Дифференциальный входной сигнал (FSR), В п-п		2×Vref		-60 ... +125
Полоса пропускания входного сигнала, МГц		500		-60 ... +125
Входная емкость (VINP, VINM), пФ			8	-60 ... +125
Напряжение встроенного ИОНа (Vref), В	0,95	1,0	1,05	-60 ... +125
Температурный дрейф напряжения ИОНа, мкВ/°С		±100		-60 ... +125
Напряжение питания аналоговой части (VDDA), В	3,15	3,5	3,7	-60 ... +125
Напряжение питания цифровой части (VDDD), В	3,15	VDDA	3,7	-60 ... +125
Напряжение питания системы тактирования (VDDAC), В	3,15	VDDA	3,7	-60 ... +125
Потребляемая мощность, при VDDA = 3,5 В, Rb = 2,9 кОм, Вт		1,1	1,2	-60 ... +125

* – норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 50$ МГц и при VDDA от 3,325 В до 3,7 В.

** – норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 25$ МГц и при VDDA от 3,15 В до 3,325 В.

Таблица 2. Динамические электрические характеристики

Параметр, единица измерения	Мин.	Тип.	Макс.	Темп. °С
Отношение сигнал/шум + искажения (SiNAD), дБ		63,8		+25
Эффективное число бит (ENOB), МЗР		10,3		+25
Отношение сигнал/шум (SNR), дБ		64		+25
Коэффициент нелинейных искажений (THD), дБ		-76,7		+25
Динамический диапазон, свободный от гармонических искажений (SFDR), дБ	70	80		+25
	68	76		-60 ... +125
Шум, приведенный ко входу, МЗРrms		2,3		+25
Апертурное время задержки, нс			5	-60 ... +125

Таблица 3. Электрические характеристики тактового сигнала

Параметр, единица измерения	Мин.	Тип.	Макс.	Темп. °С
Напряжение высокого уровня КМОП, В	2,4	VDDAC		-60 ... +125
Напряжение низкого уровня КМОП, В		GNDAC	0,4	-60 ... +125
Напряжение среднего уровня LVDS, В	1		1,5	-60 ... +125
Дифференциальное напряжение LVDS, мВ	250	350	450	-60 ... +125
Входная емкость (CLK, nCLK), пФ		4		-60 ... +125

Таблица 4. Электрические характеристики выходного сигнала

Параметр, единица измерения	Мин.	Тип.	Макс.	Темп. °С
Выходное напряжение высокого уровня КМОП, В	2,4	VDDD		-60 ... +125
Выходное напряжение низкого уровня КМОП, В		GNDD	0,4	-60 ... +125
Напряжение среднего уровня LVDS, В		1,3		-60 ... +125
Дифференциальное выходное напряжение LVDS, мВ	250	350	450	-60 ... +125
Выходная емкость, пФ			4	-60 ... +125

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 2 кВ по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 5. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, В	3,15	3,7	–	3,8
Диапазон входного сигнала, В	-0,3	VDDA+0,3	-0,5	VDDA+0,5
Выходная нагрузочная емкость, пФ	–	10	–	–
Выходные токи, мА	–	10	–	–
Частота выборок входного сигнала, МГц при VDDA от 3,325 В до 3,7 В	2	50	–	–
Частота выборок входного сигнала, МГц при VDDA от 3,15 В до 3,325 В	2	25	–	–
Температура эксплуатации, °С	-60	+125	-60	+150

Конфигурация и функциональное описание выводов

Таблица 6. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	OUTCLK	Выход тактовой частоты для стробирования выходных данных
2	D0	0-й (младший) разряд выходного кода/отрицательный выход D0, D1 в LVDS
3	D1	1-й разряд выходного кода/положительный выход D0, D1 в LVDS
4,12,21	GNDD	Общий вывод цифровой части
5,13,22	VDDD	Вывод питания цифровой части
6	D2	2-й разряд выходного кода/отрицательный выход D2, D3 в LVDS
7	D3	3-й разряд выходного кода/положительный выход D2, D3 в LVDS
8	D4	4-й разряд выходного кода/отрицательный выход D4, D5 в LVDS
9	D5	5-й разряд выходного кода/положительный выход D4, D5 в LVDS
10	D6	6-й разряд выходного кода/отрицательный выход D6, D7 в LVDS
11	D7	7-й разряд выходного кода/положительный выход D6, D7 в LVDS
14	D8	8-й разряд выходного кода/отрицательный выход D8, D9 в LVDS
15	D9	9-й разряд выходного кода/положительный выход D8, D9 в LVDS
16	D10	10-й разряд выходного кода/отрицательный выход D10, D11 в LVDS
17	D11	11-й разряд выходного кода/положительный выход D10, D11 в LVDS
18	D12	12-й разряд выходного кода/отрицательный выход D12, D13 в LVDS
19	D13	13-й разряд выходного кода/положительный выход D12, D13 в LVDS
20	OVR	Выход сигнала перегрузки
23	DATAMODE	Выбор типа логических уровней («1» – LVDS; «0» – третье состояние; «NC» – КМОП)
24	CLB	Вход сигнала автокалибровки
25	ISUM	Тестовый вывод отключения функции выравнивания кодов каналов («1» – выравнивание отключено, «0» – выравнивание включено)
26,28,34, 37,42	GNDA	Общий вывод аналоговой части
27,29,38,47	VDDA	Вывод питания аналоговой части
30	REFIN	Вход опорного напряжения
31	REFOUT	Выход внутреннего ИОНа
32	VREFM	Вывод для подключения шунтирующей емкости внутреннего дифференциального опорного напряжения
33	VREFP	Вывод для подключения шунтирующей емкости внутреннего дифференциального опорного напряжения
35	VINP	Положительный вход дифференциального аналогового сигнала
36	VINM	Отрицательный вход дифференциального аналогового сигнала
39	CML	Вывод для подключения шунтирующей емкости внутренней средней точки
40	RB	Вывод для подключения внешнего токозадающего резистора
41	DATATYPE	Выбор типа выходного кода («1» – бинарный со смещением; «0» – дополнительный)
43	nCLK	Отрицательный вход тактового сигнала
44	CLK	Положительный вход тактового сигнала
45	VDDAC	Вывод питания системы тактирования
46	GNDAC	Общий вывод системы тактирования
48	nOUTCLK	Выход тактовой частоты для стробирования выходных данных в режиме LVDS выхода

Эквивалентные схемы

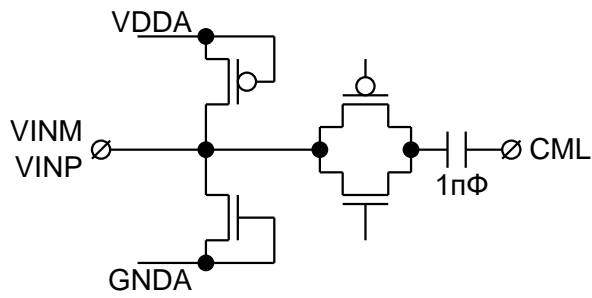


Рисунок 4. Аналоговые входы

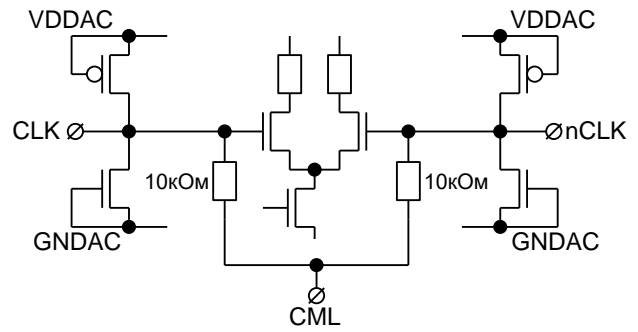


Рисунок 5. Входы тактовой частоты

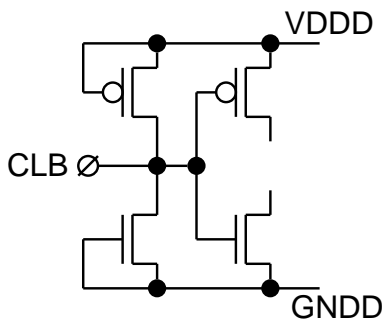


Рисунок 6. Цифровой вход

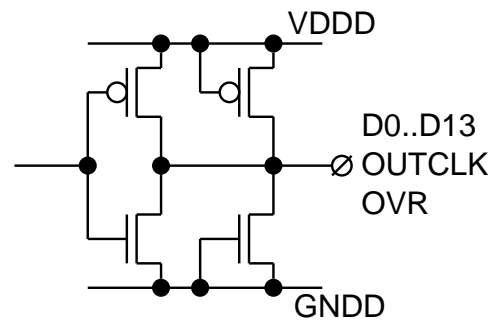


Рисунок 7. Цифровые выходы

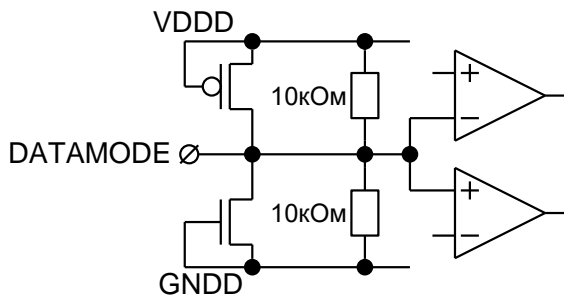


Рисунок 8. Вход выбора режима

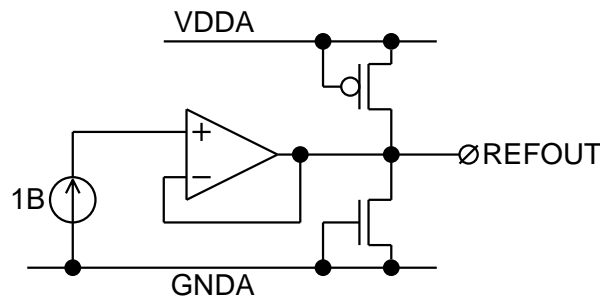


Рисунок 9. Выход опорного напряжения

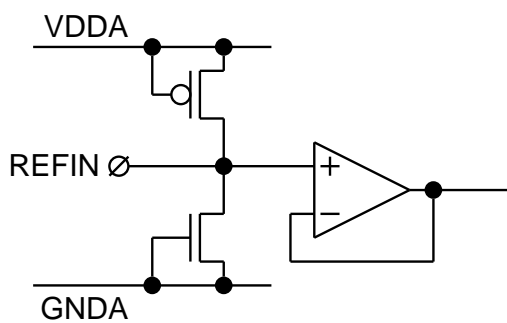


Рисунок 10. Вход опорного напряжения

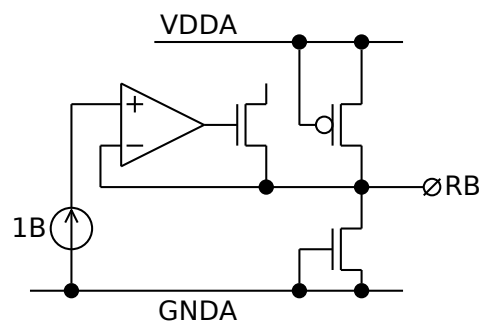


Рисунок 11. Вывод токазадающий

Временные диаграммы

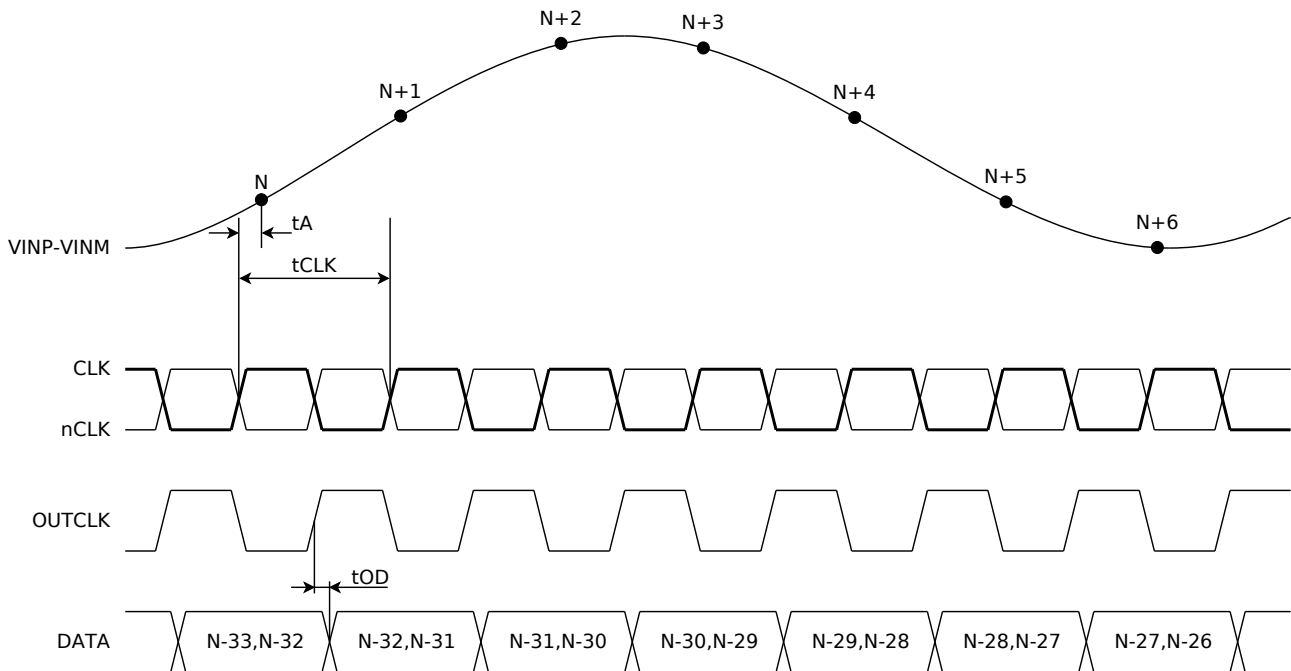


Рисунок 12. Основной режим работы

Таблица 7. Справочные данные

Параметр, единица измерения	Мин.	Тип.	Макс.	Темп. °С
Период тактового сигнала CLK (t_{CLK}), нс	20			+25
Скважность тактового сигнала, %	40		60	+25
Время задержки выходных данных (t_{OD}), нс		1		+25
Апертурное время задержки, нс			5	+25
Конвейерная задержка, такты CLK		32		+25

Апертурная задержка – задержка момента выборки входного сигнала от середины переднего фронта входного тактового сигнала (CLK);

Конвейерная задержка – задержка выходных данных, соответствующих выбранному входному сигналу в тактах входной частоты.

Выходные данные изменяются по фронту выходного тактового сигнала OUTCLK и могут быть считаны по его срезу. Выходные данные являются арифметическим средним значением двух соседних выборок.

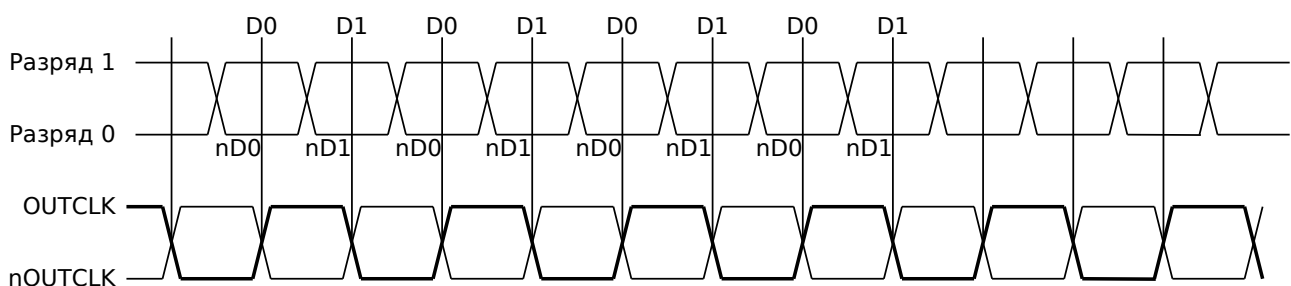


Рисунок 13. Выдача данных в режиме LVDS

Выходные данные представлены в двоичном коде со смещением (DATATYPE = «1») или в дополнительном коде (DATATYPE = «0»).

Таблица 8. Формат выходных данных со смещением / дополнительный код

VINP – VINM	Выходной код
+Vref	11 1111 1111 1111 / 01 1111 1111 1111
0	10 0000 0000 0000 / 00 0000 0000 0000
-Vref	00 0000 0000 0000 / 10 0000 0000 0000

Выходные 14-ти разрядные данные АЦП формируются путем обрезания кода большей разрядности.

Сигнал перегрузки OVR устанавливается в «1», если первые 14 разрядов равны «0» или «1», и следующий за младшим (отброшенный) разряд равен «0» или «1», соответственно.

OVR является цифровым выводом, который обновляется одновременно с выходными данными. Сигнал OVR имеет такую же конвейерную задержку, как и цифровые данные.

Типовые характеристики

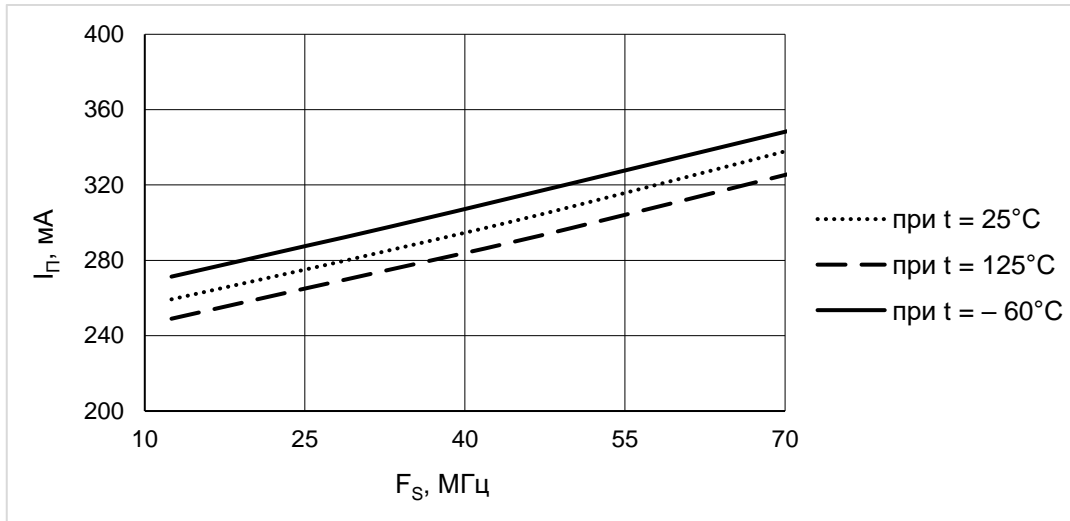
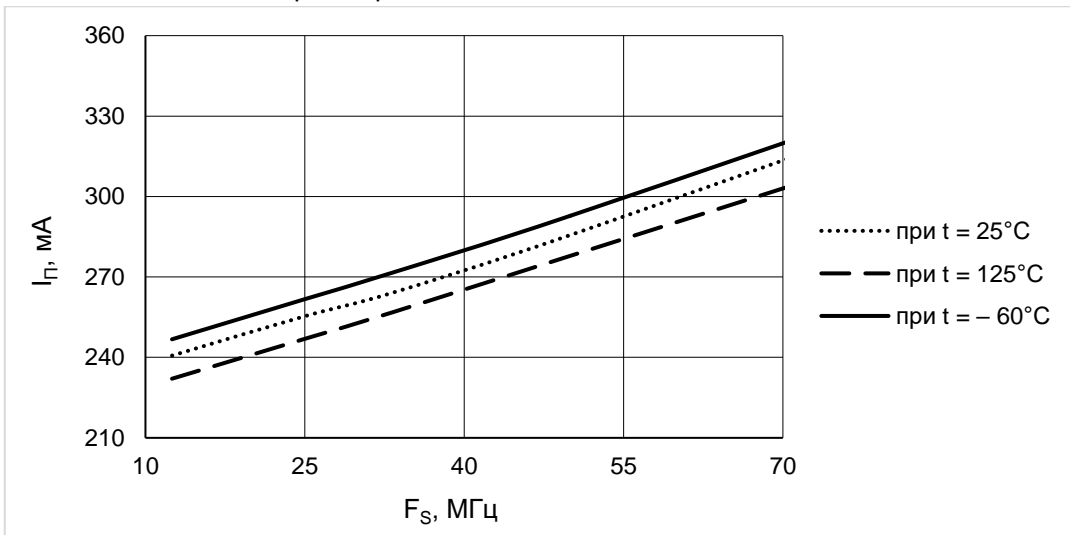
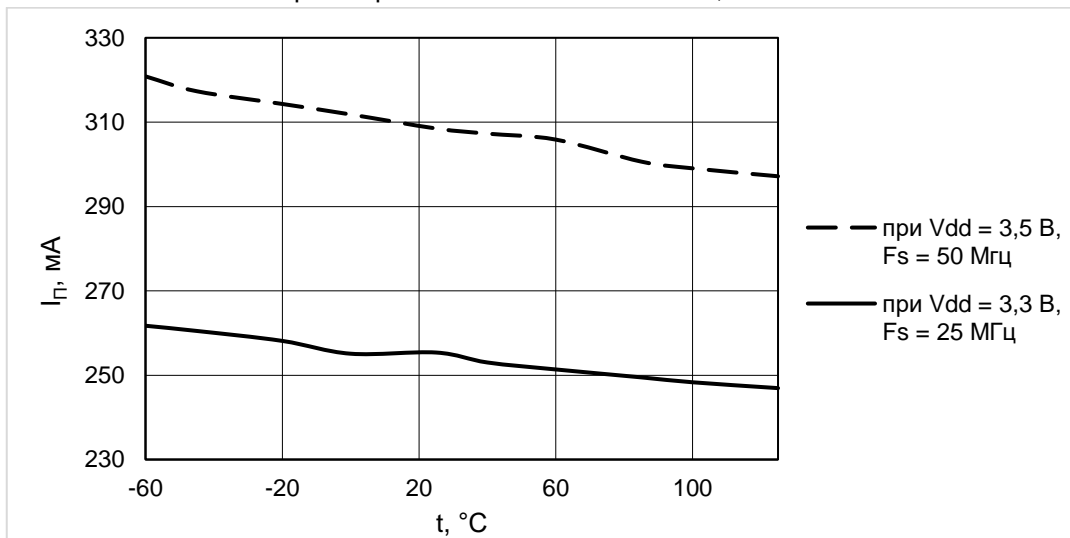
Рисунок 14. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания $V_{DDA} = 3,5$ ВРисунок 15. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания $V_{DDA} = 3,3$ В

Рисунок 16. Зависимость динамического тока потребления от температуры

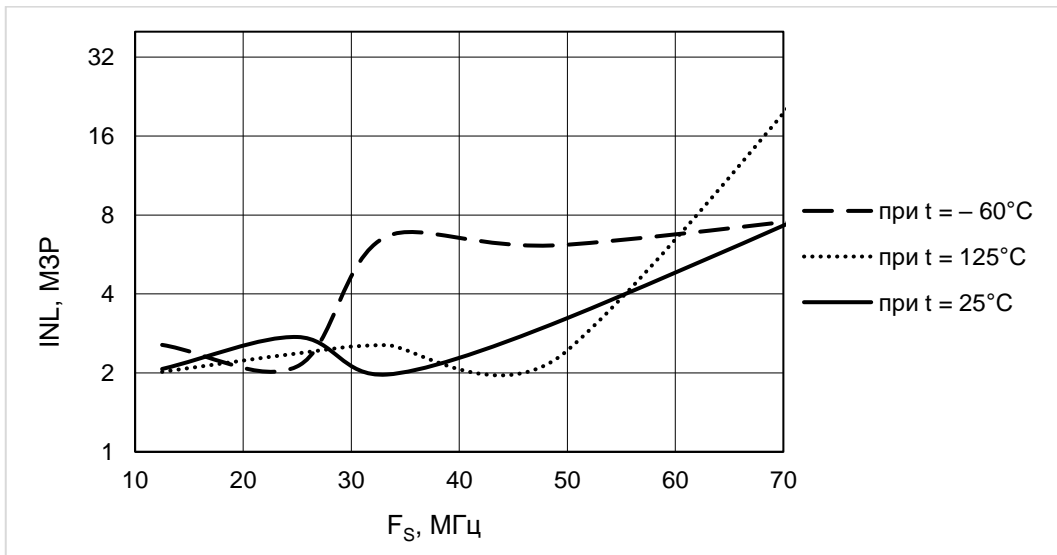


Рисунок 17. Зависимость интегральной нелинейности от частоты выборки входного сигнала при напряжении питания $V_{DDA} = 3,5$ В

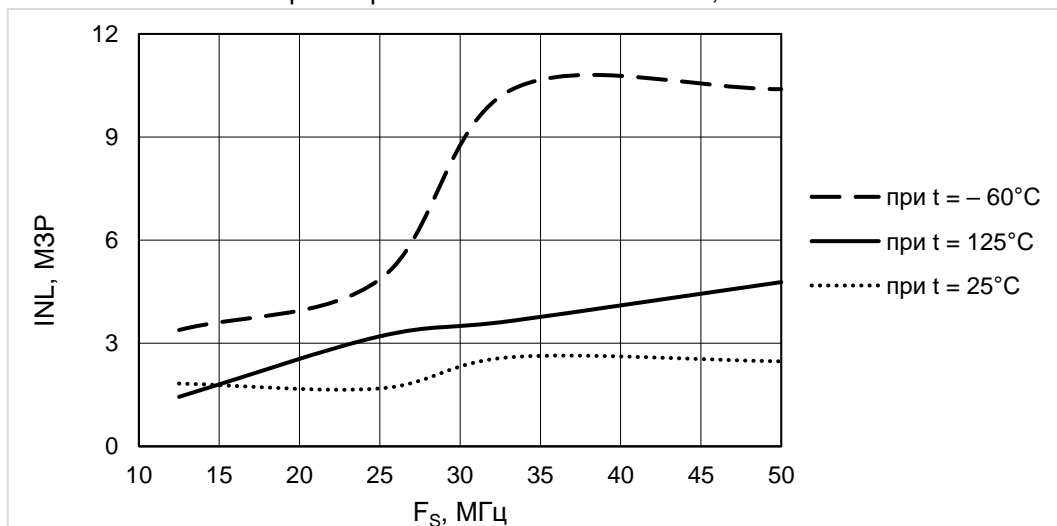


Рисунок 18. Зависимость интегральной нелинейности от частоты выборки входного сигнала при напряжении питания $V_{DDA} = 3,3$ В

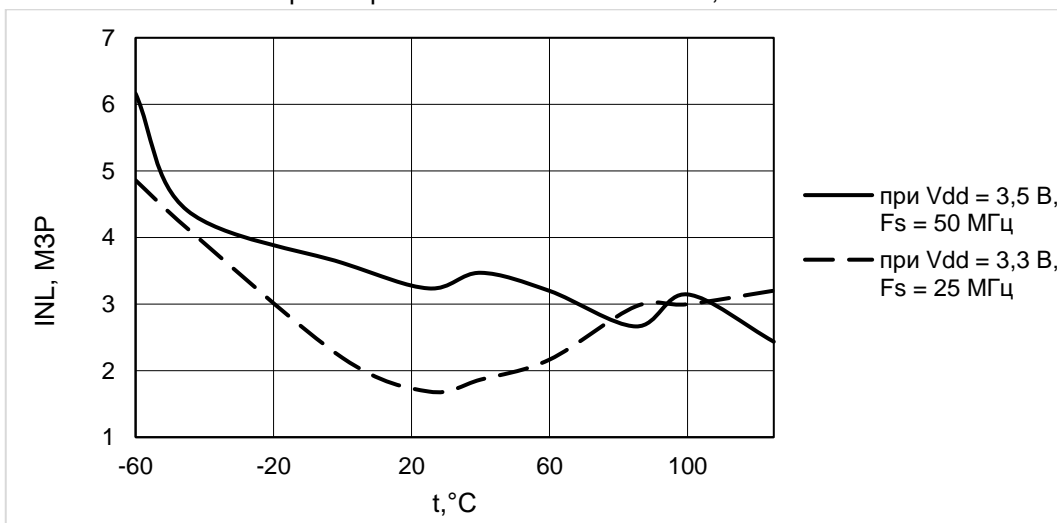


Рисунок 19. Зависимость интегральной нелинейности от температуры

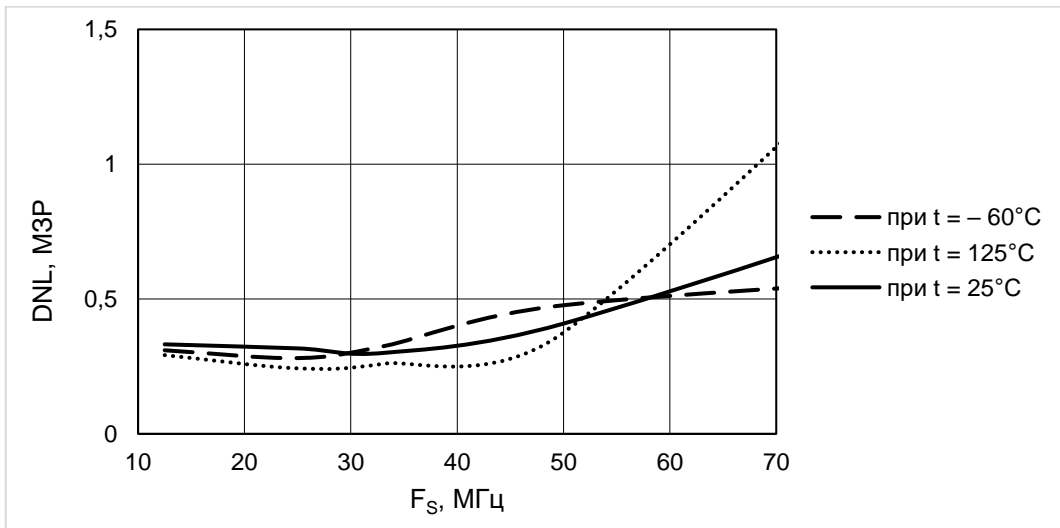


Рисунок 20. Зависимость дифференциальной нелинейности от частоты выборок входного сигнала при напряжении питания $V_{DDA} = 3,5$ В

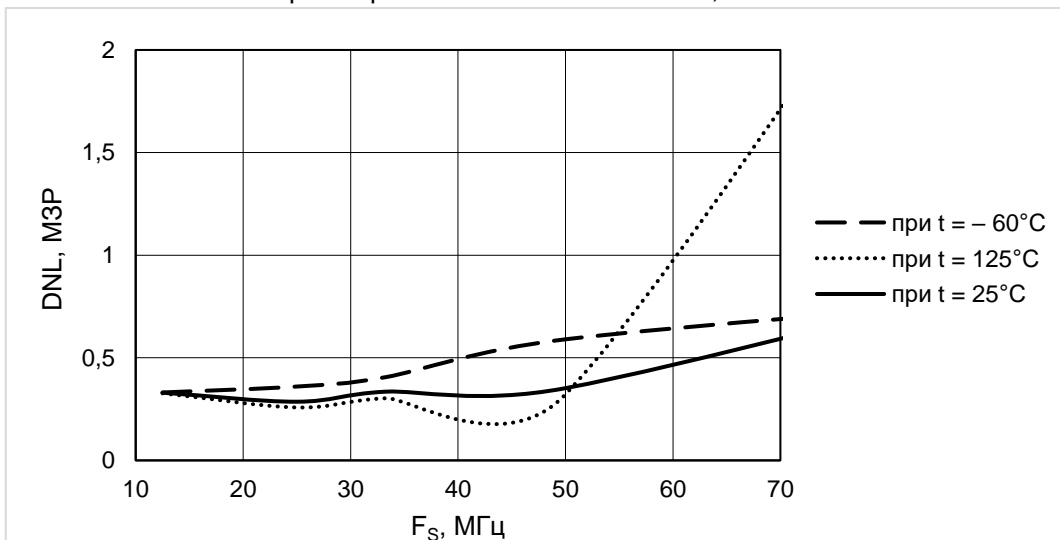


Рисунок 21. Зависимость дифференциальной нелинейности от частоты выборок входного сигнала при напряжении питания $V_{DDA} = 3,3$ В

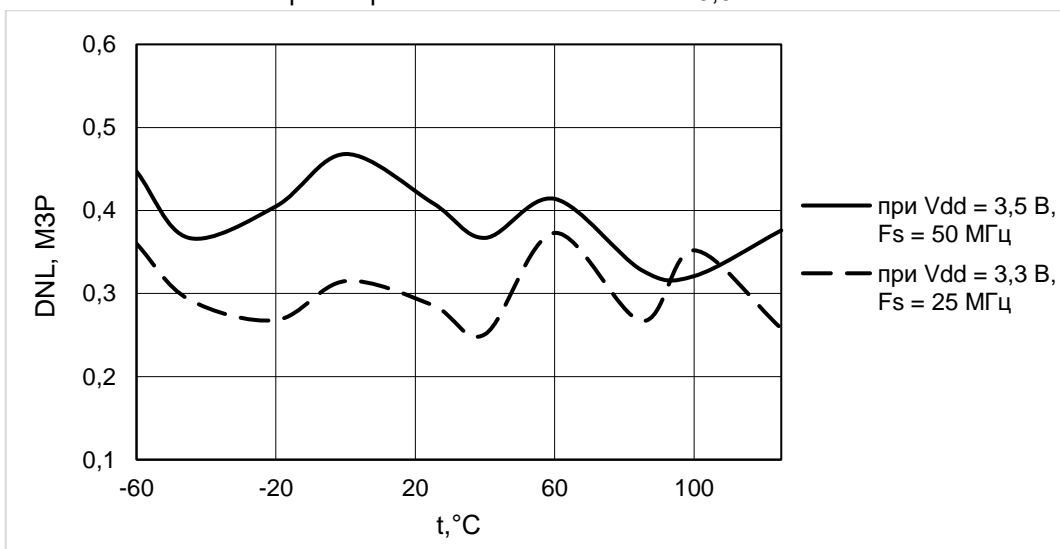


Рисунок 22. Зависимость дифференциальной нелинейности от температуры

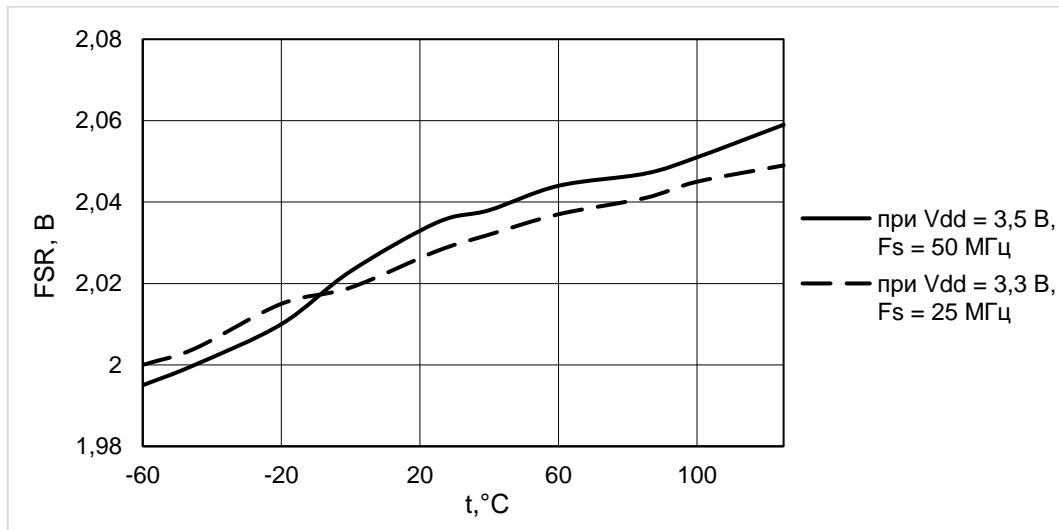


Рисунок 23. Зависимость напряжения полной шкалы от температуры

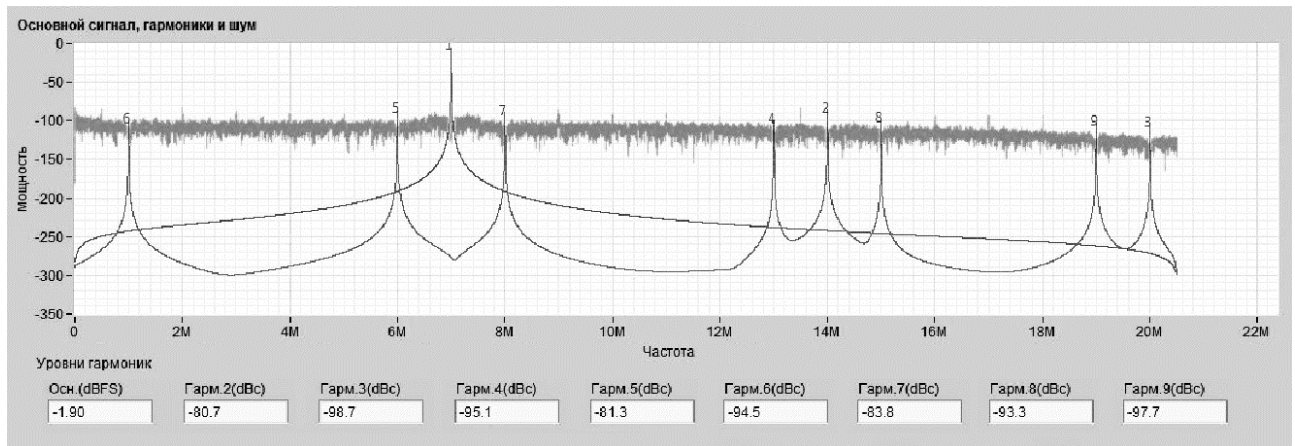


Рисунок 24. Динамические характеристики при частоте синусоидального входного сигнала $F_{in} = 7$ МГц и частоте выборок $F_s = 41$ МГц (SFDR = 80,7 дБ; THD = -76,7 дБ; ENOB = 10,15 бит; SiNAD = 62,9 дБ; SNR = 62,9 дБ)

Статистика кодов при $V_{INP} - V_{INM} = 0$ В

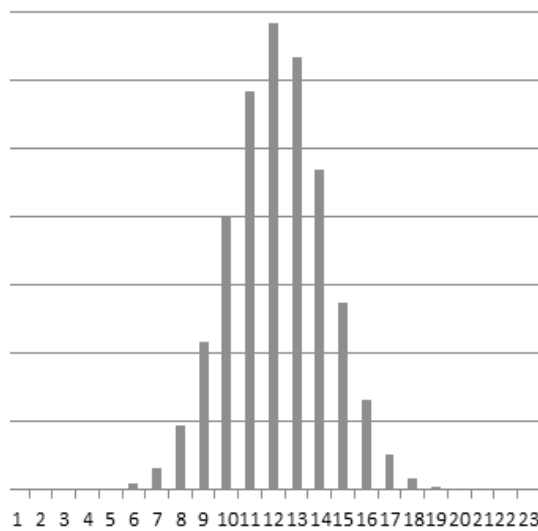


Рисунок 25. Собственный шум 2,3 МЗРrms

Рекомендуемая схема применения

Схема применения приведена на рисунке 26.

Компонент	Номинал
R1, R2	51 Ом
R3	2,9 кОм
C1	33 пФ
C2 – C4	0,47 мкФ
C5 – C13	0,1 мкФ

* – емкость C13 устанавливается при отсутствии инверсного тактового сигнала

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

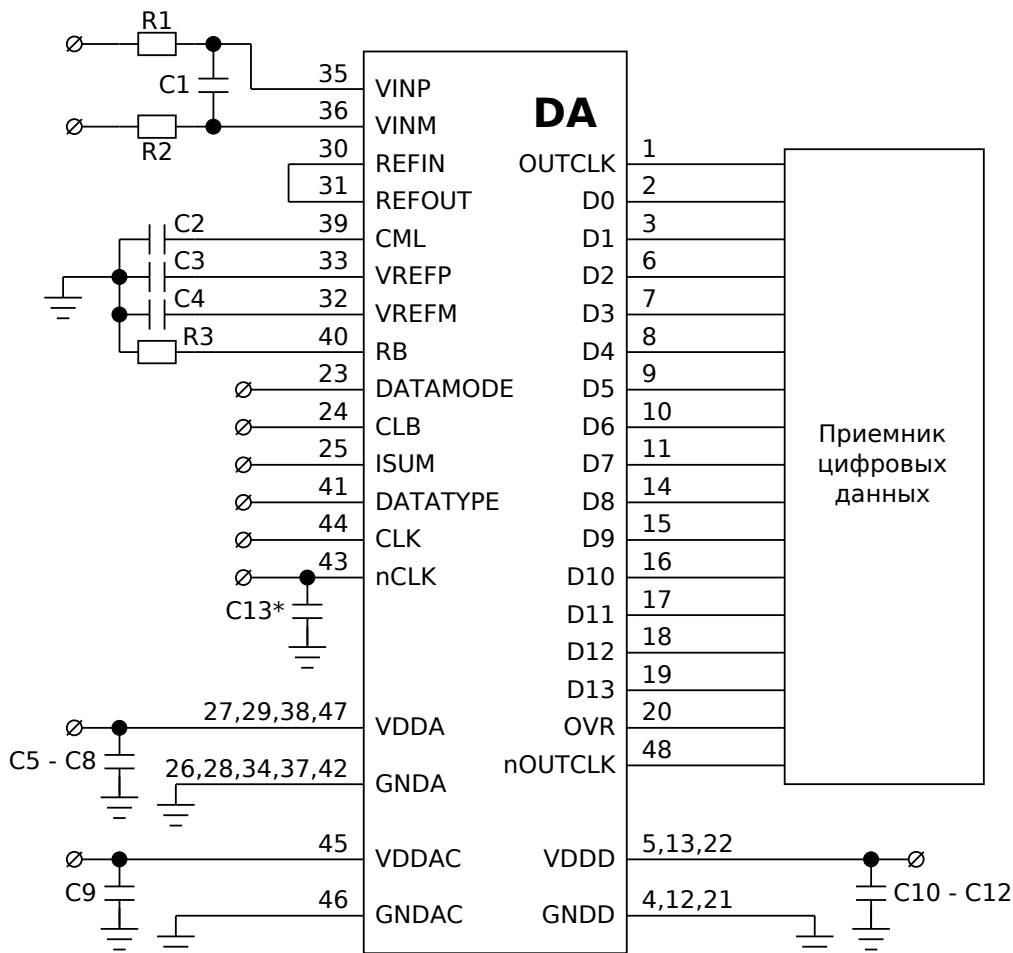


Рисунок 26. Рекомендуемая схема применения

Описание функционирования микросхемы

АЦП использует двухканальную архитектуру с временным перемеживанием (time interleaving). В основе работы АЦП лежит архитектура, которая предполагает проведение цифровой автокалибровки для формирования корректного выходного кода. Автокалибровка происходит автоматически при включении питания. После подачи напряжения питания и тактовой частоты АЦП входит в режим автокалибровки, которая длится порядка 50 мс на частоте 100 МГц. При уменьшении тактовой частоты время автокалибровки увеличивается пропорционально ее периоду. Об окончании автокалибровки и начала работы в режиме преобразования свидетельствует появление тактовых импульсов на выходе OUTCLK.

После установления теплового равновесия процедуру автокалибровки рекомендуется повторить. Для этого на вход CLB подается цифровой импульс длительностью не менее 32 тактов. После подачи импульса калибровки, АЦП переходит в режим автокалибровки. Выходные данные при этом не определены, а OUTCLK установлен в «0». Об окончании режима автокалибровки свидетельствует появление тактовых импульсов OUTCLK.

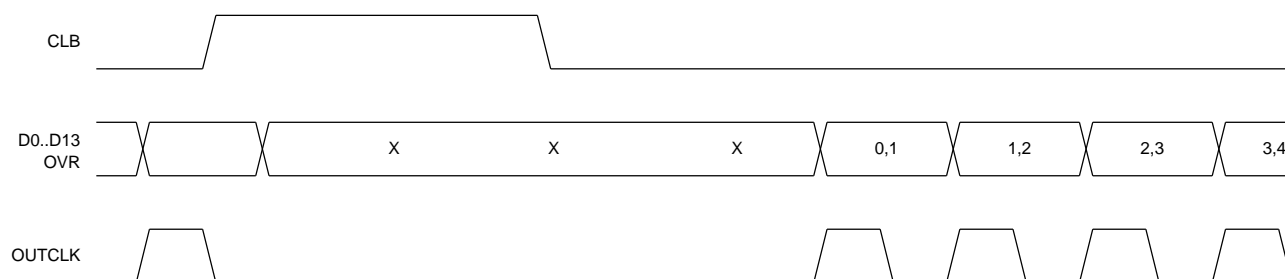


Рисунок 27. Режим автокалибровки

Архитектура АЦП имеет два канала конвейерного преобразования данных, которые работают на частоте вдвое ниже основной тактовой. При этом выборки с УВХ распределяются для преобразования между каналами поочередно. Поскольку каналы могут иметь различия, вследствие технологического разброса, используется схема выравнивания кодов каналов. При этом каждый такт данные на выходе АЦП являются средним арифметическим двух соседних выборок. Это необходимо учитывать при преобразовании импульсных сигналов, длительность которых сравнима с длительностью периода тактовой частоты.

Вывод ISUM позволяет отключить выравнивание выходного кода. Если ISUM подключен к питанию, то выходные данные содержат результат преобразования только одной (соответствующей) выборки для каждого канала. При этом, выходные данные будут иметь частотную составляющую равную половине тактовой частоты из-за разбаланса каналов. Этот режим является экспериментальным и не рекомендуется к использованию без дополнительных испытаний.

АЦП имеет расширенные возможности по приему входных тактовых сигналов. Возможна подача парафазных тактовых сигналов с размахом цифровых КМОП уровней (0 – 3,5 В) и скважностью 2, LVDS уровней, однофазного тактового сигнала с размахом в диапазоне от 0,3 В до 3,5 В со скважностью 2. Электрические характеристики входного тактового сигнала приведены в таблице 4.

Тип выходных данных определяется состоянием вывода DATATYPE: «1» – бинарный код со смещением; «0» – дополнительный код. Формат выходных данных представлен в таблице 8.

Формат представления выходных логических уровней определяется состоянием вывода DATAMODE: «1» – LVDS; «0» – третье (высоко-импедансное) состояние; «NC» – КМОП.

В LVDS режиме за период тактовой частоты дважды выдаются данные: сначала младшие разряды, затем старшие. Т.е. первые полпериода на выводах D0 и D1 присутствуют данные разряда 0, а вторые полпериода данные разряда 1. На выводах D2 и D3 первые полпериода присутствуют данные разряда 2, а вторые полпериода данные разряда 3 и так далее.

Возможно использование как встроенного, так и внешнего источника опорного напряжения, значение которого определяет максимальную амплитуду входного сигнала.

В нормальном режиме АЦП преобразует дифференциальный входной сигнал ($V_{INP} - V_{INM}$) с амплитудой 2 В при опорном напряжении $V_{ref} = (V_{INP} - V_{INM})/2 = 1$ В. При использовании внешнего источника опорного напряжения АЦП может преобразовывать входной сигнал с увеличенной до 3 В амплитудой.

Демонстрационный комплект

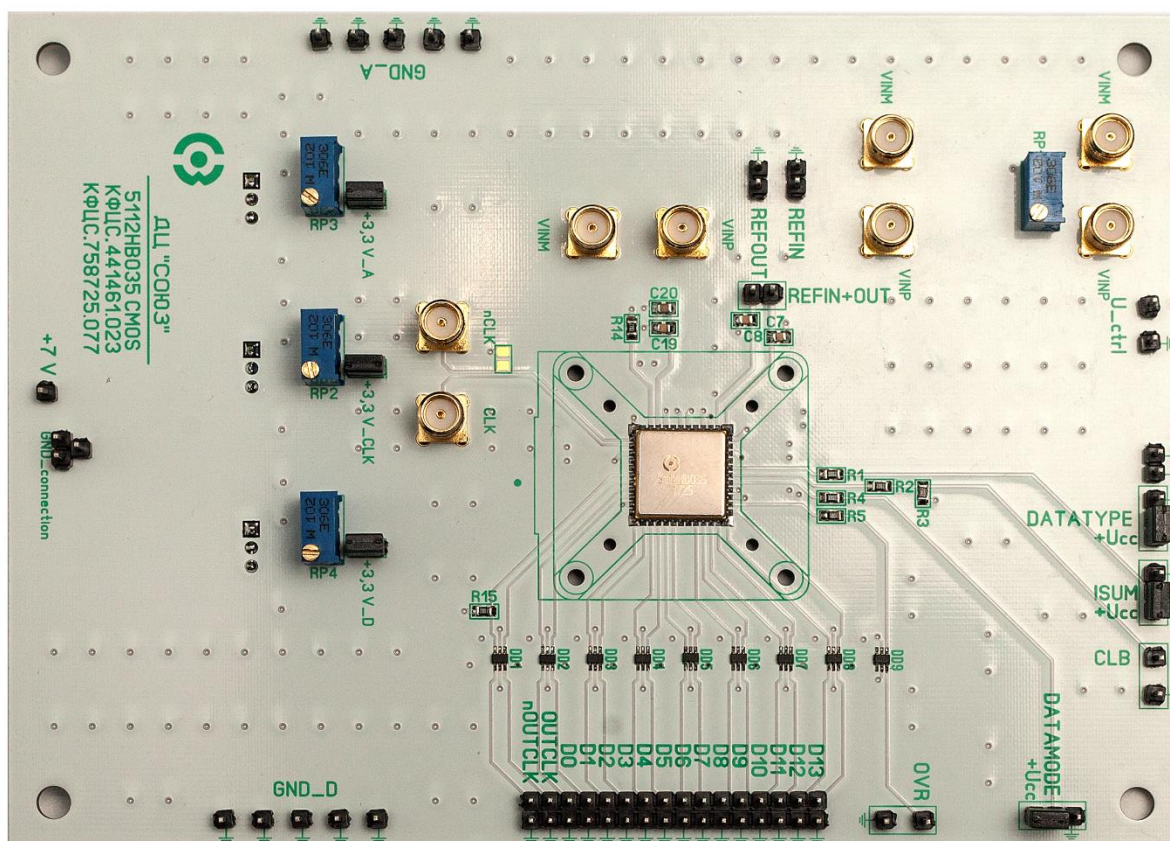


Рисунок 28. Демонстрационная плата для микросхемы 5112НВ035

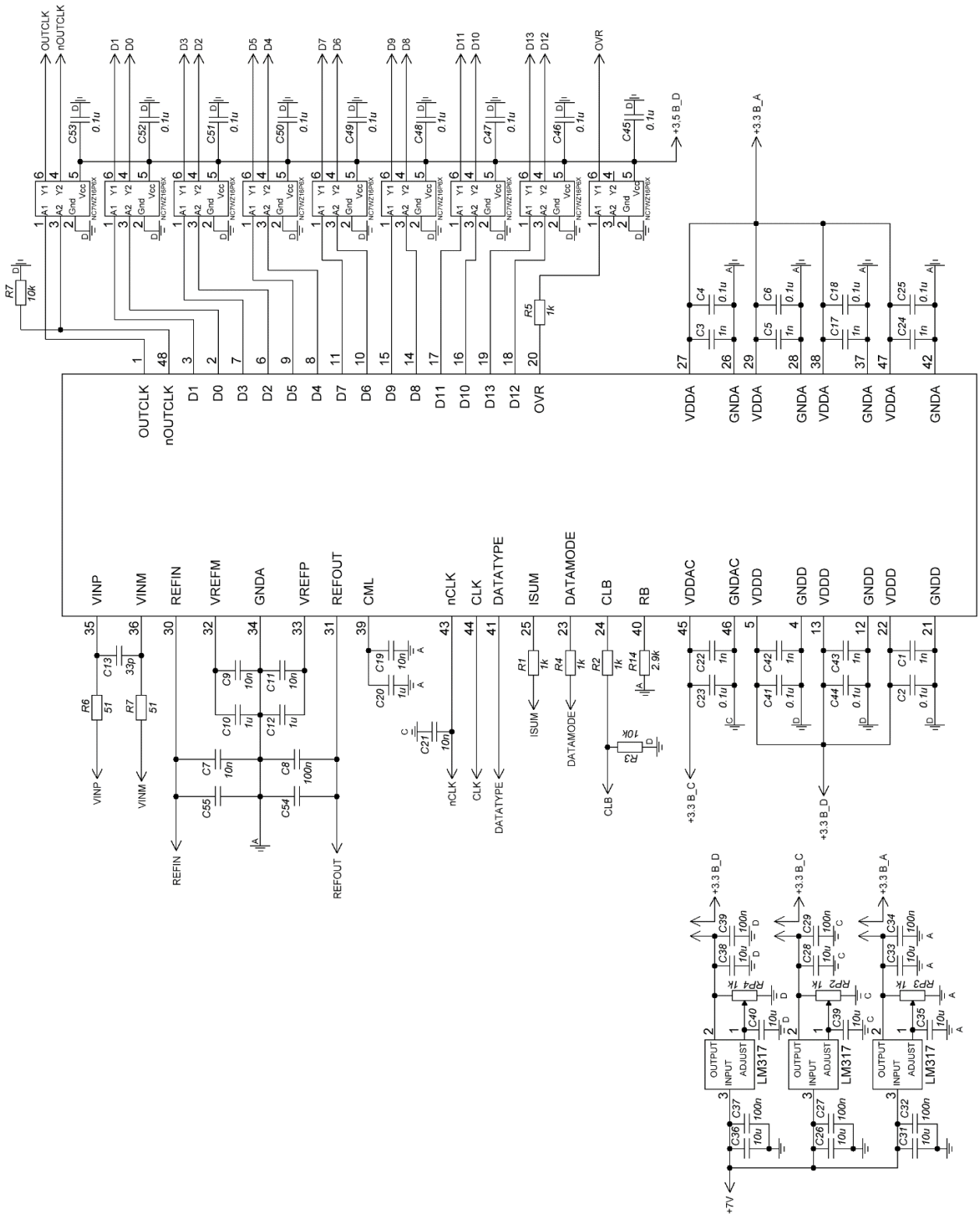


Рисунок 29. Электрическая схема демонстрационной платы для микросхемы 5112HB035

Габаритный чертеж

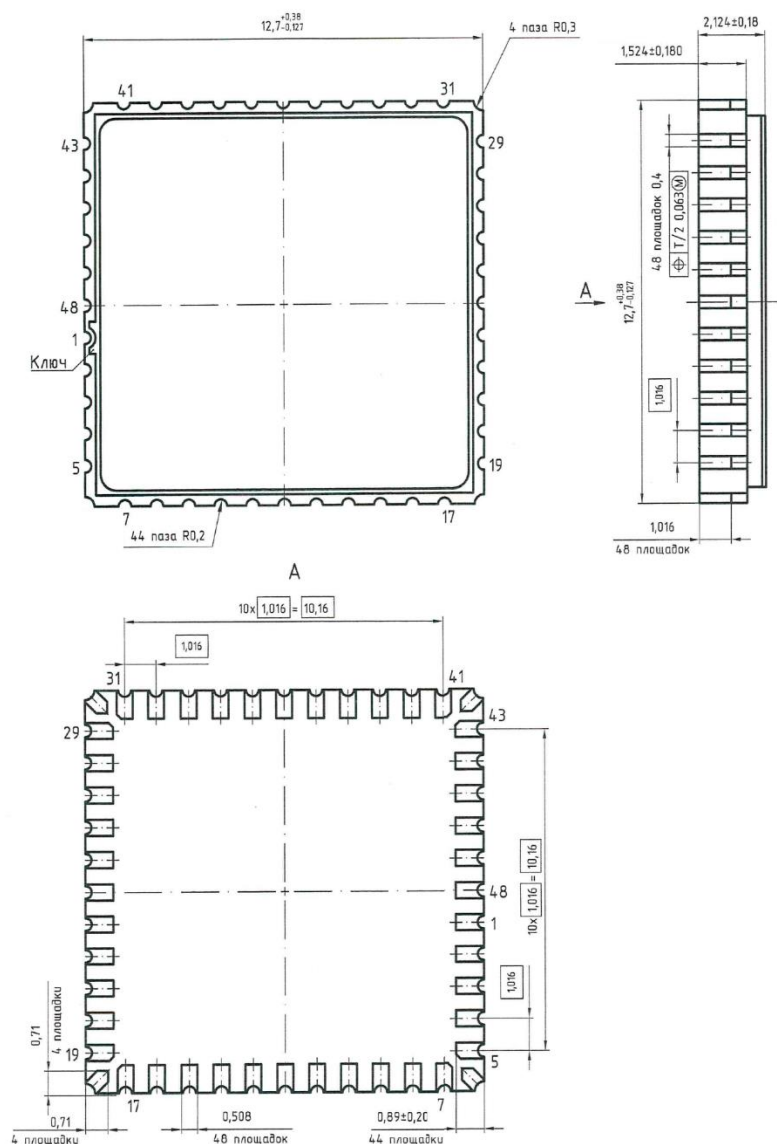


Рисунок 30. Габаритный чертеж корпуса 5142.48-A (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
Микросхема 5112НВ035 АЕНВ.431320.238ТУ	5112НВ035	5142.48-A	- 60 ... +125°C

Микросхемы категории качества «ВП» маркируются ромбом.

