

Электрические параметры микросхемы

Напряжение питания 3,5 В;
 Размах входного дифференциального сигнала 2 В;
 Внутреннее опорное напряжение 1 В.

Таблица 1. Электрические параметры

Параметр	Ед. изм.	Мин.	Тип.	Макс.	Темп. °С
Разрешающая способность	бит	14			-60 .. +125
Максимальная частота выборок (Fs)	Мвыб./сек	2		50*	-60 .. +125
		2		25**	
Отсутствие пропусков кода		Гарантировано			-60 .. +125
Дифференциальная нелинейность (DNL)	МЗР	-1	±0,6	+1	-60 .. +125
Интегральная нелинейность (INL)	МЗР	-7	±3,5	+7	+25
		-10	±5	+10	-60 .. +125
Динамический диапазон, свободный от гармонических искажений (SFDR)	дБ	70	80		+25
		68	76		-60 .. +125
Смещение нуля	мВ	-30		+30	-60 .. +125
Температурный дрейф смещения нуля	мкВ/°С		±10		-60 .. +125
Шум приведенный ко входу	МЗРrms		2,3		+25
Отношение сигнал/шум (SNR)	дБ		64		+25
Эффективное число бит (ENOB)	МЗР		10,5		+25
Полоса пропускания входного сигнала	МГц		500		-60 .. +125
Апертурное время задержки	нс			5	-60 .. +125
Входная емкость	пФ			8	-60 .. +125
Напряжение питания (Vdd)	В	3,15	3,5	3,7	-60 .. +125
Потребляемая мощность, при Vdd = 3,5 В, Rb = 2,9 кОм	Вт		1,1	1,3	-60 .. +125
Напряжение встроенного ИОН (Vref)	В	0,95	1,0	1,05	+25
Напряжение полной шкалы (FSR), при Vref=1В	В	1,8	2	2,2	-60 .. +125
Уровни входного диф. тактового сигнала		CMOS/LVDS/LVPECL			
Логические уровни выходных данных		CMOS/LVDS			

* – норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 50$ МГц и при Vdd от 3,325 В до 3,7 В.

** – норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 25$ МГц и при Vdd от 3,15 В до 3,325 В.

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 2 кВ по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, В	3,15	3,7	–	3,8
Диапазон входного сигнала, В	–0,3	Vdd+0,3	–0,5	Vdd+0,5
Выходная емкость, пФ	–	10	–	–
Выходные токи, мА	–	10	–	–
Максимальная частота выборок входного сигнала, МГц	–	55	–	–
Температура эксплуатации, °C	–60	125	–60	150

Конфигурация и функциональное описание выводов

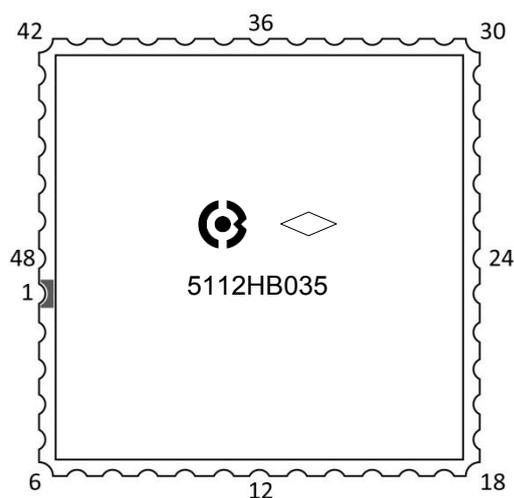


Рисунок 2. Внешний вид корпуса

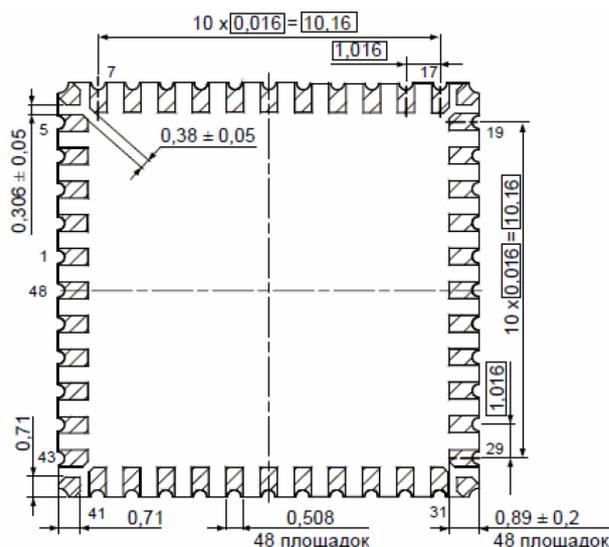


Рисунок 3. Габаритный чертеж корпуса

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	OUTCLK	Выход тактовой частоты для стробирования выходных данных
2	D0	0-й (младший) разряд выходного кода/отрицательный выход D0, D1 в LVDS
3	D1	1-й разряд выходного кода/положительный выход D0, D1 в LVDS
4,12,21	GNDD	Общий вывод цифровой части
5,13,22	VDDD	Вывод питания цифровой части
6	D2	2-й разряд выходного кода/отрицательный выход D2, D3 в LVDS
7	D3	3-й разряд выходного кода/положительный выход D2, D3 в LVDS
8	D4	4-й разряд выходного кода/отрицательный выход D4, D5 в LVDS
9	D5	5-й разряд выходного кода/положительный выход D4, D5 в LVDS
10	D6	6-й разряд выходного кода/отрицательный выход D6, D7 в LVDS

11	D7	7-й разряд выходного кода/положительный выход D6, D7 в LVDS
14	D8	8-й разряд выходного кода/отрицательный выход D8, D9 в LVDS
15	D9	9-й разряд выходного кода/положительный выход D8, D9 в LVDS
16	D10	10-й разряд выходного кода/отрицательный выход D10, D11 в LVDS
17	D11	11-й разряд выходного кода/положительный выход D10, D11 в LVDS
18	D12	12-й разряд выходного кода/отрицательный выход D12, D13 в LVDS
19	D13	13-й разряд выходного кода/положительный выход D12, D13 в LVDS
20	OVR	Выход сигнала перегрузки
23	DATAMODE	Выбор типа логических уровней
24	CLB	Вход сигнала автокалибровки
25	ISUM	Тестовый вывод, отключения функции выравнивания кодов каналов
26,28,34, 37,42	GNDA	Общий вывод аналоговой части
27,29,38,47	VDDA	Вывод питания аналоговой части
30	REFIN	Вход опорного напряжения
31	REFOUT	Выход внутреннего ИОНа
32	VREFM	Вывод для подключения шунтирующей емкости внутреннего дифференциального опорного напряжения
33	VREFP	Вывод для подключения шунтирующей емкости внутреннего дифференциального опорного напряжения
35	VINP	Положительный вход диф. аналогового сигнала
36	VINM	Отрицательный вход диф. аналогового сигнала
39	CML	Вывод для подключения шунтирующей емкости внутренней средней точки
40	RB	Вывод для подключения внешнего токозадающего резистора
41	DATATYPE	Выбор типа выходного кода (бинарный со смещением, дополнительный)
43	nCLK	Отрицательный вход тактового сигнала
44	CLK	Положительный вход тактового сигнала
45	VDDAC	Вывод питания системы тактирования
46	GNDAC	Общий вывод системы тактирования
48	nOUTCLK	Выход тактовой частоты для стробирования выходных данных в режиме LVDS выхода

Эквивалентные схемы

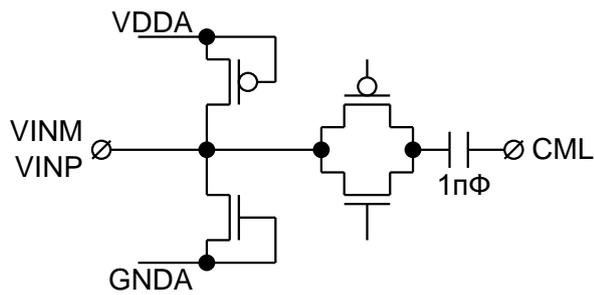


Рисунок 4. Аналоговые входы

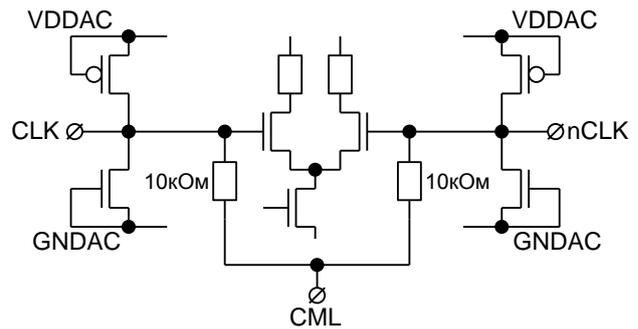


Рисунок 5. Входы тактовой частоты

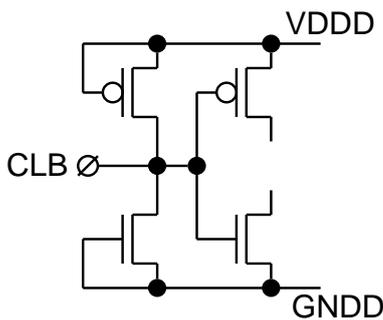


Рисунок 6. Цифровой вход

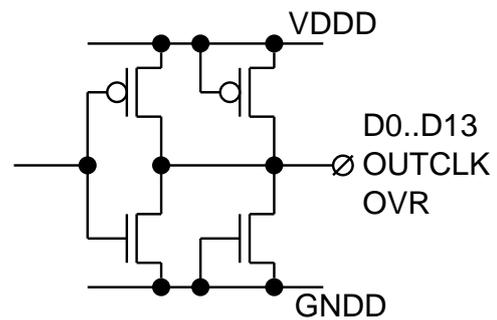


Рисунок 7. Цифровые выходы

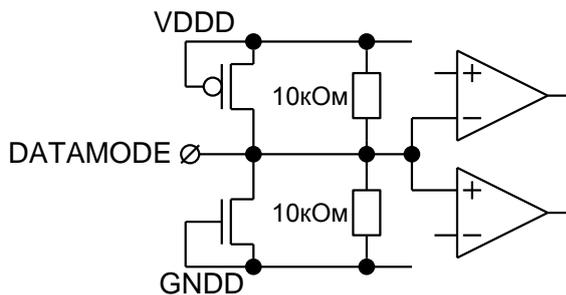


Рисунок 8. Вход выбора режима

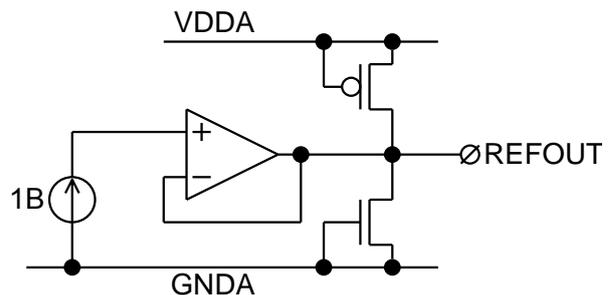


Рисунок 9. Выход опорного напряжения

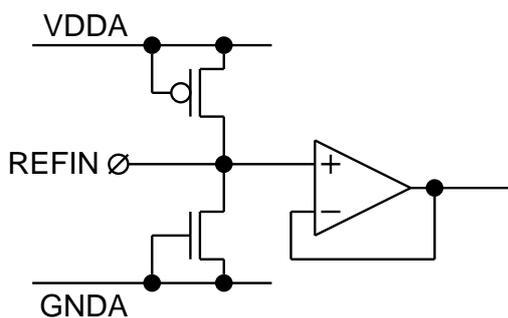


Рисунок 10. Вход опорного напряжения

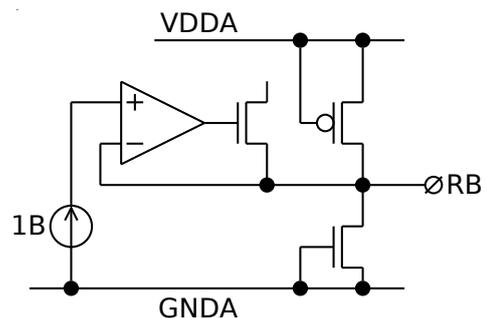


Рисунок 11. Вывод токазадающий

Временные диаграммы

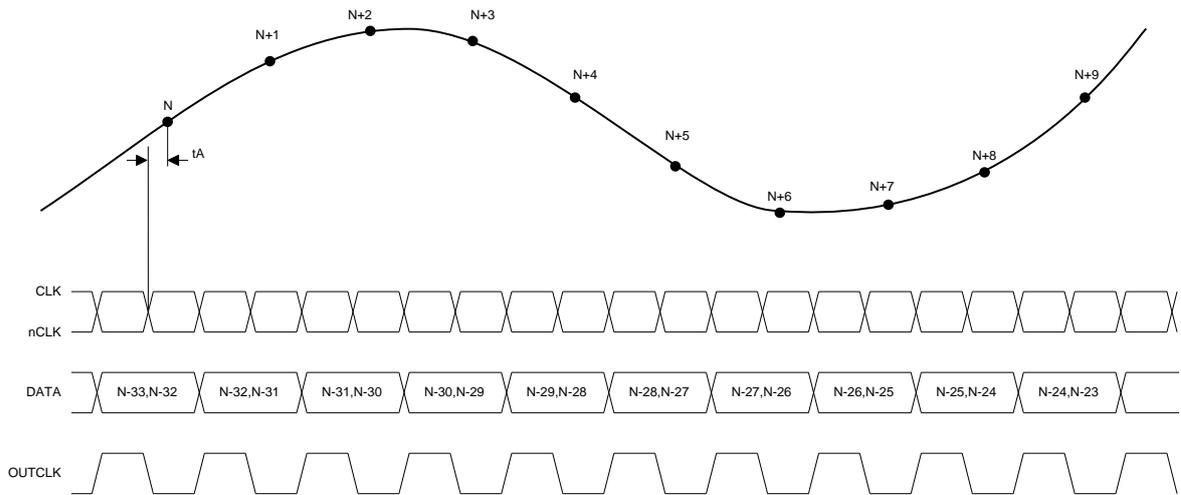


Рисунок 12. Основной режим работы

Выходные данные изменяются по фронту выходного тактового сигнала OUTCLK и могут быть считаны по его срезу. Выходные данные являются арифметически средним значением двух соседних выборок.

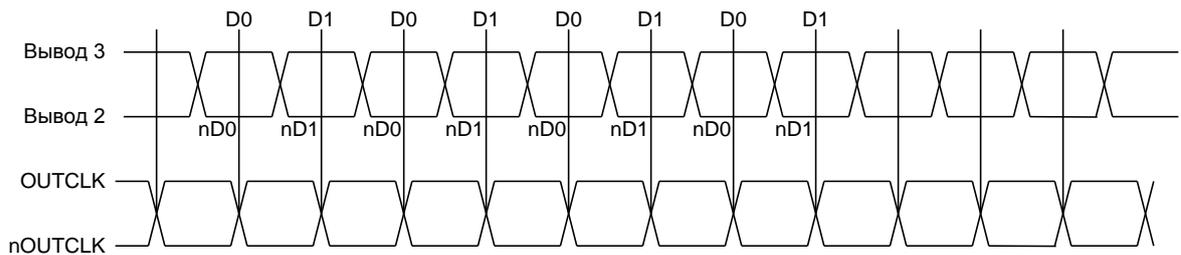


Рисунок 13. Выдача данных в режиме LVDS

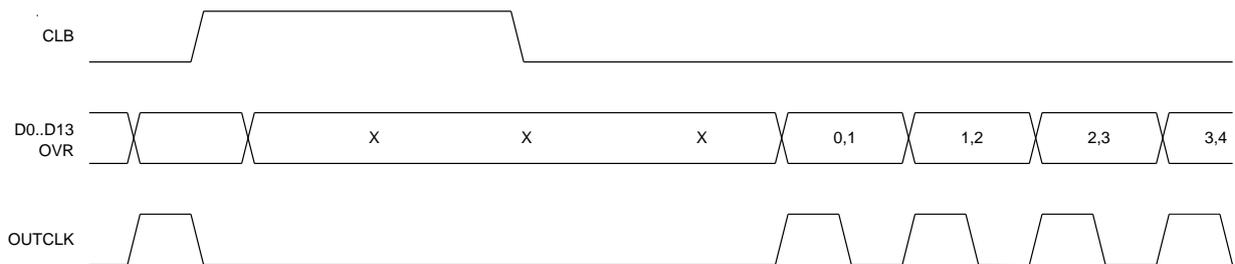


Рисунок 14. Режим автокалибровки

Длительность импульса автокалибровки CLB не менее 32 тактов тактовой частоты. После подачи сигнала автокалибровки OUTCLK переключается в 0, а выходные данные становятся неопределенными. Признаком окончания автокалибровки является появление выходной тактовой частоты.

Типовые характеристики

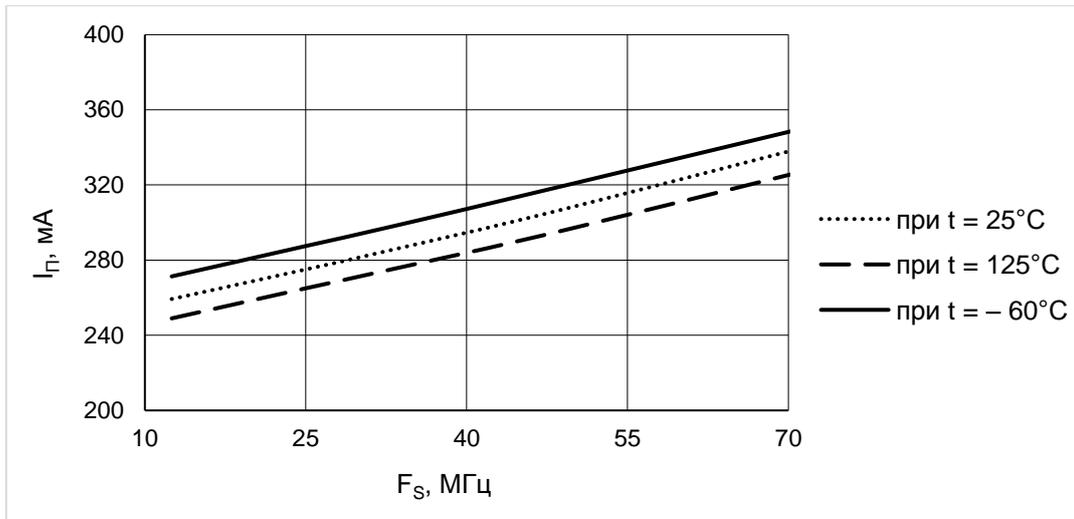
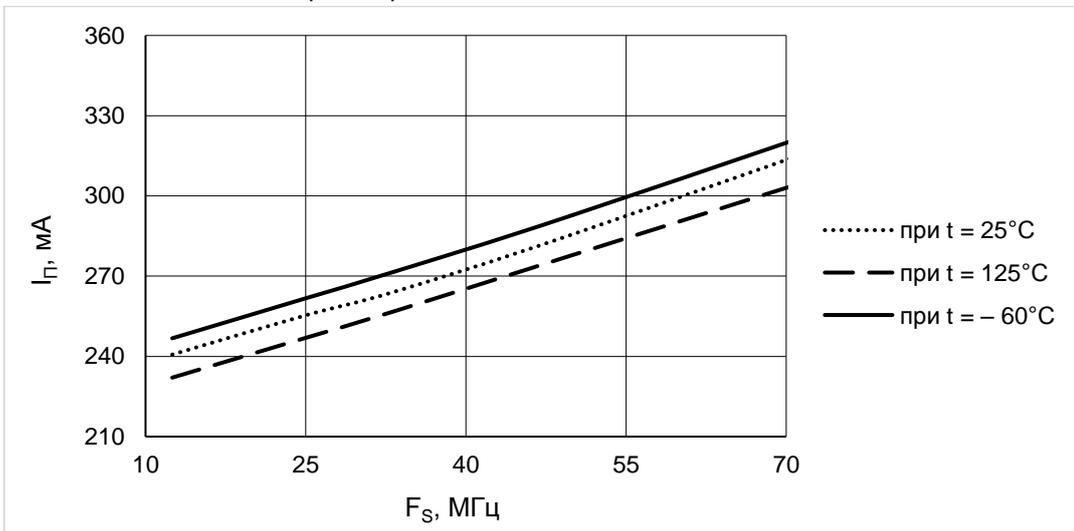
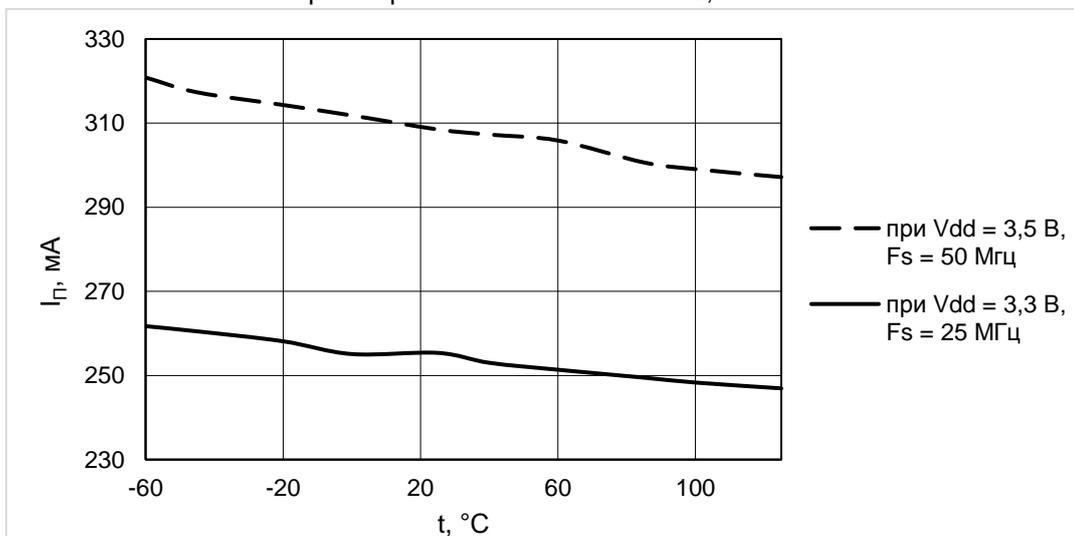
Рисунок 15. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания $V_{dd} = 3,5$ ВРисунок 16. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания $V_{dd} = 3,3$ В

Рисунок 17. Зависимость динамического тока потребления от температуры

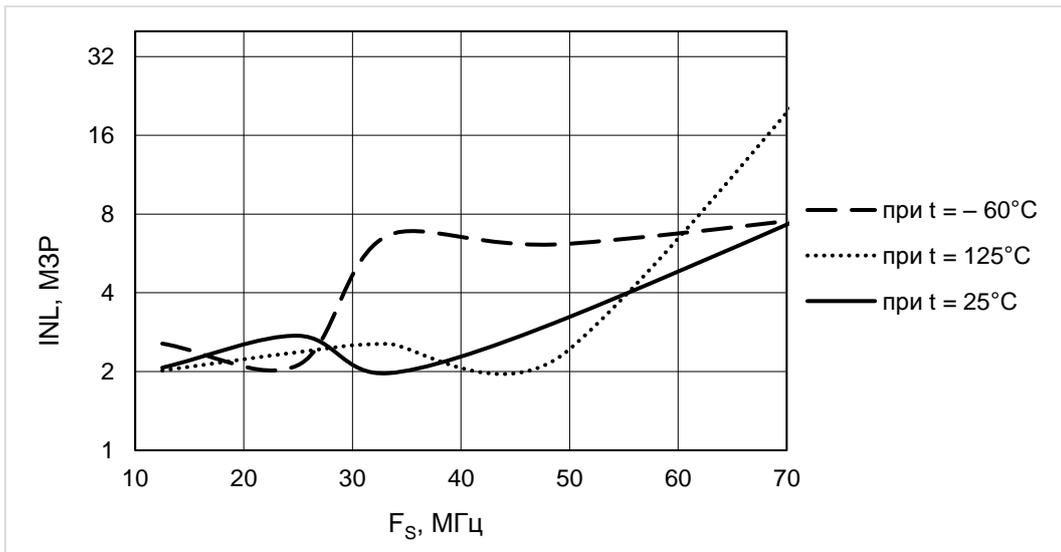


Рисунок 18. Зависимость интегральной нелинейности от частоты выборок входного сигнала при напряжении питания $V_{dd} = 3,5$ В

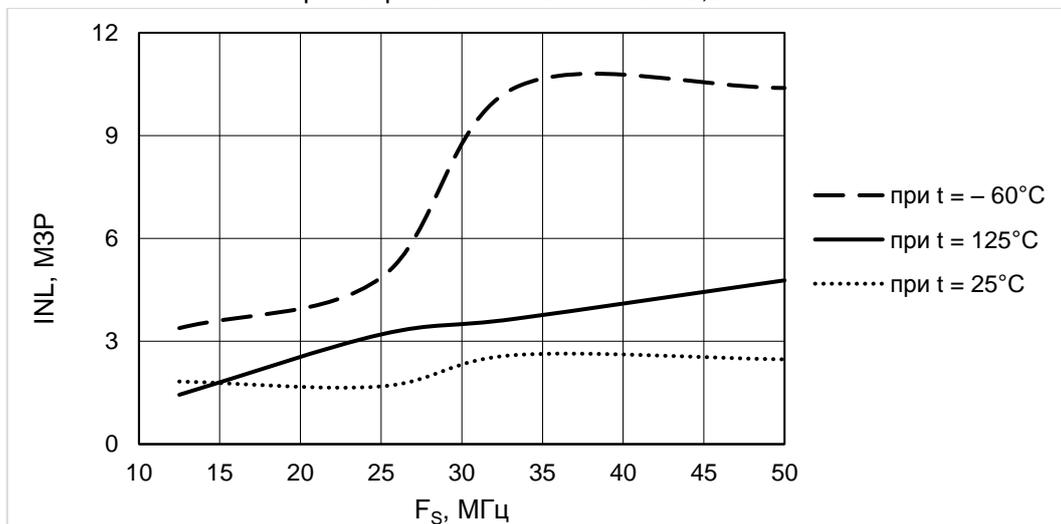


Рисунок 19. Зависимость интегральной нелинейности от частоты выборок входного сигнала при напряжении питания $V_{dd} = 3,3$ В

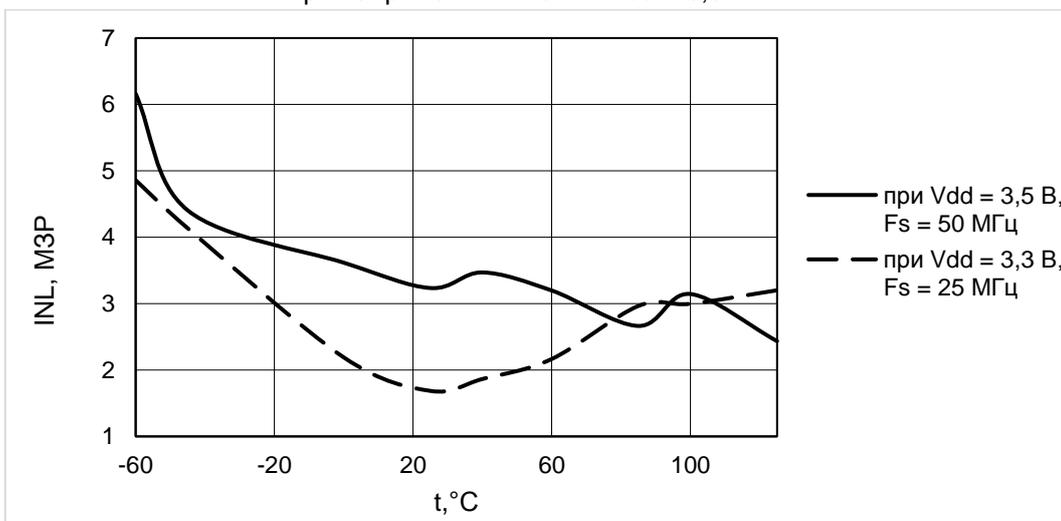


Рисунок 20. Зависимость интегральной нелинейности от температуры

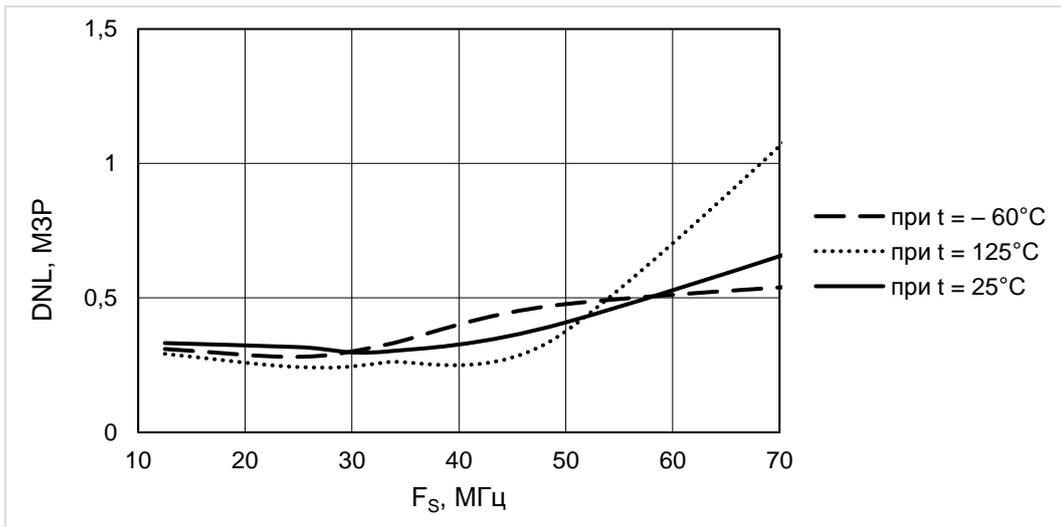


Рисунок 21. Зависимость дифференциальной нелинейности от частоты выборки входного сигнала при напряжении питания $V_{dd} = 3,5$ В

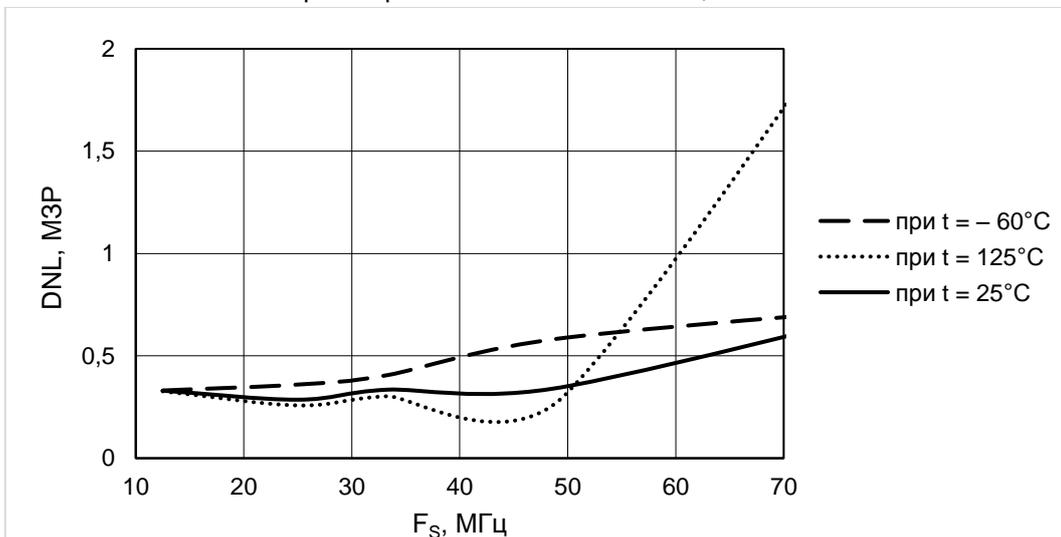


Рисунок 22. Зависимость дифференциальной нелинейности от частоты выборки входного сигнала при напряжении питания $V_{dd} = 3,3$ В

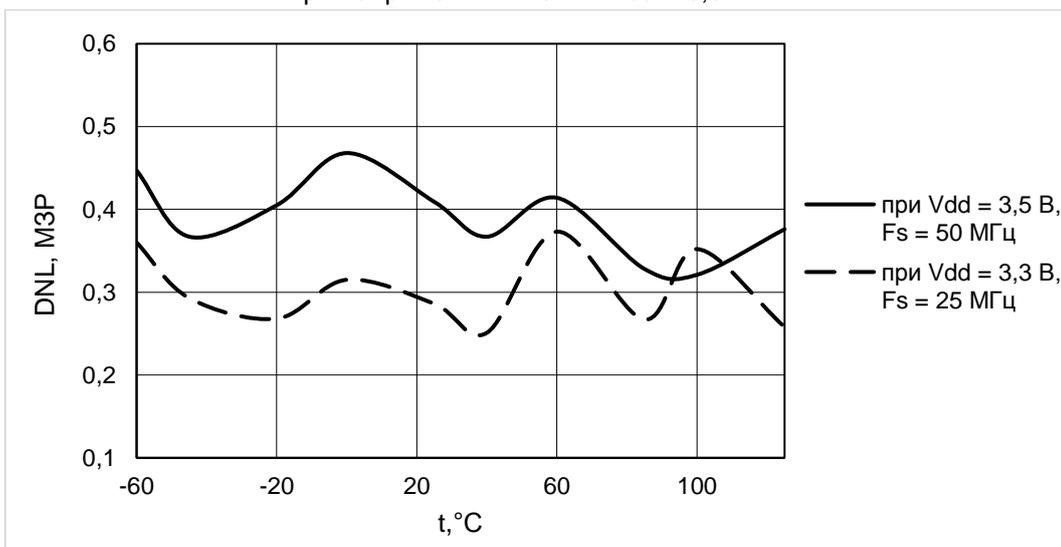


Рисунок 23. Зависимость дифференциальной нелинейности от температуры

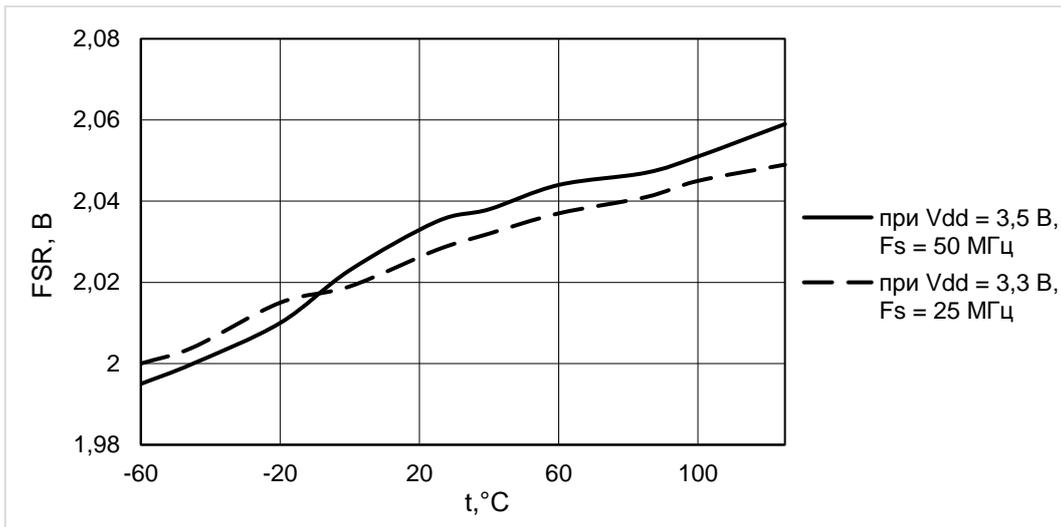


Рисунок 24. Зависимость напряжения полной шкалы от температуры

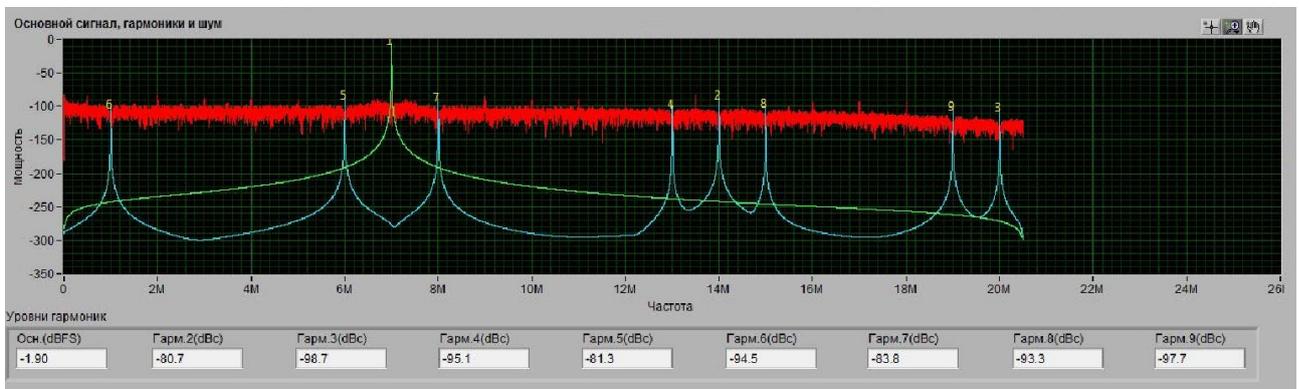


Рисунок 25. Динамические характеристики при частоте синусоидального входного сигнала $F_{in} = 7$ МГц и частоте выборок $F_s = 41$ МГц
(SFDR = 80,7 дБ; THD = -76,7 дБ; ENOB = 10,15 бит; SiNAD = 62,9 дБ; SNR = 62,9 дБ)

Статистика кодов при $V(INP) - V(INM) = 0$ В

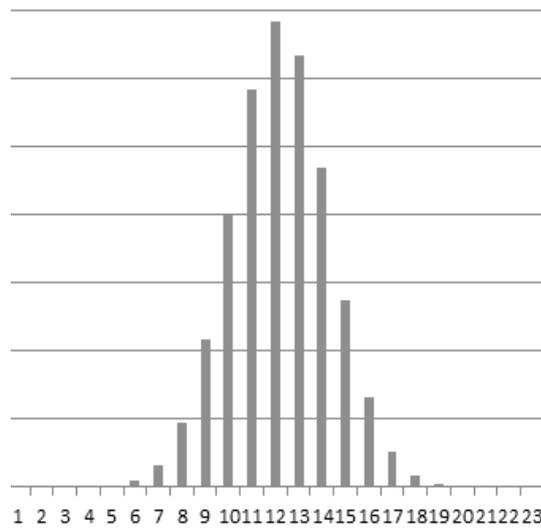


Рисунок 26. Собственный шум 2,3 M3Prms

Формат выходных данных

Выходные данные представлены в двоичном коде со смещением (DATATYPE = «1») или в дополнительном коде (DATATYPE = «0»).

Таблица 4. Формат выходных данных со смещением / дополнительный код

U(INP) – U(INM)	Выходной код
+Vref	11111111111111 / 01111111111111
0	10000000000000 / 00000000000000
-Vref	00000000000000 / 10000000000000

Выходные 14-ти разрядные данные АЦП формируются путем обрезания кода большей разрядности. Сигнал перегрузки OVR устанавливается в 1, если первые 14 разрядов равны 0 или 1, и следующий за младшим (отброшенный) разряд равен 0 или 1, соответственно.

Рекомендуемая схема применения

Схема применения приведена на рисунке 27. Здесь R1, R2 = 33 Ом, R3 = 2,9 кОм. C1 = 20 пФ, C2 – C4 = 0,47 мкФ, C5 – C12 = 0,1 мкФ.

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

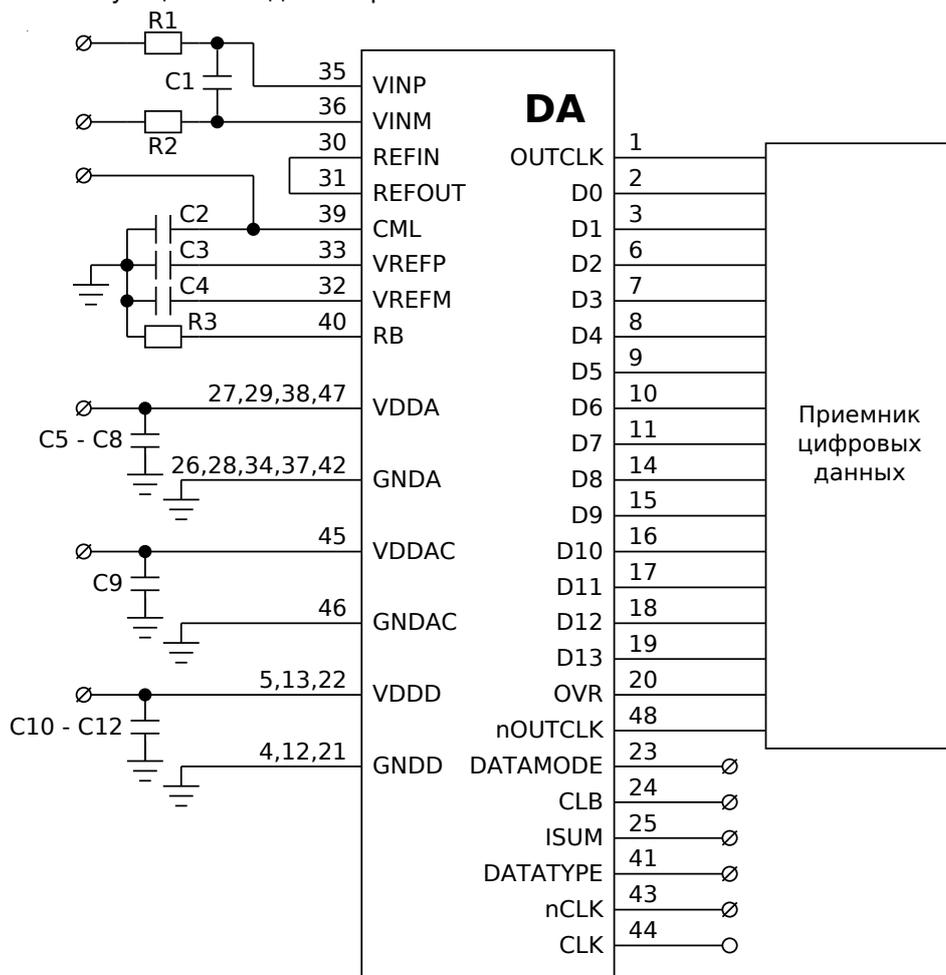


Рисунок 27. Схема применения

Особенности применения АЦП

В основе работы АЦП 5112НВ035 лежит архитектура, которая предполагает проведение цифровой автокалибровки для формирования корректного выходного кода. Автокалибровка происходит автоматически при включении питания. После подачи напряжения питания и тактовой частоты АЦП входит в режим автокалибровки, которая длится порядка 50 мс на частоте 100 МГц. При уменьшении тактовой частоты время автокалибровки увеличивается пропорционально ее периоду. Об окончании автокалибровки и начала работы в режиме преобразования свидетельствует появление тактовых импульсов на выходе OUTCLK.

После установления теплового равновесия процедуру автокалибровки рекомендуется повторить. Для этого на вход CLB подается цифровой импульс длительностью не менее 32 тактов. После подачи импульса калибровки, АЦП переходит в режим автокалибровки. Выходные данные при этом не определены, а OUTCLK установлен в 0. Об окончании режима автокалибровки свидетельствует появление тактовых импульсов OUTCLK.

Архитектура АЦП имеет два канала конвейерного преобразования данных, которые работают на частоте вдвое ниже основной тактовой. При этом выборки с УВХ распределяются для преобразования между каналами поочередно. Поскольку каналы могут иметь различия, вследствие технологического разброса, используется схема выравнивания кодов каналов. При этом каждый такт данные на выходе АЦП являются средним арифметическим двух соседних выборок. Это необходимо учитывать при преобразовании импульсных сигналов, длительность которых сравнима с длительностью периода тактовой частоты.

Вывод ISUM позволяет отключить выравнивание выходного кода. Если ISUM подключен к питанию, то выходные данные содержат результат преобразования только одной (соответствующей) выборки для каждого канала. При этом, выходные данные будут иметь частотную составляющую равную половине тактовой частоты из-за разбаланса каналов. Этот режим является экспериментальным и не рекомендуется к использованию без дополнительных испытаний.

Формат логических уровней определяется состоянием вывода DATAMODE.

Если вывод DATAMODE в обрыве, то выходные данные имеют КМОП уровни. Если вывод DATAMODE подключен к питанию, то выходные данные имеют LVDS уровни. При этом, за период тактовой частоты дважды выдаются данные: сначала младшие разряды, затем старшие. Т.е. первые полпериода на выводах D0 и D1 присутствуют данные разряда 0, а вторые полпериода данные разряда 1. На выводах D2 и D3 первые полпериода присутствуют данные разряда 2, а вторые полпериода данные разряда 3 и так далее. Если вывод DATAMODE подключен к земле (0 В), то выводы данных находятся в третьем состоянии.

